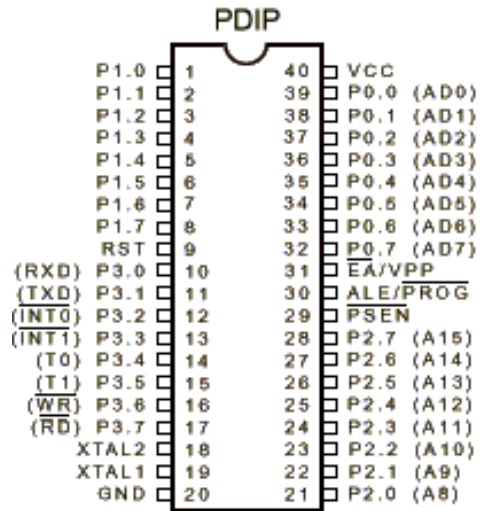


AT89LV51 是美国 ATMEL 公司生产的低电压，高性能 CMOS 8 位单片机，片内含 4k bytes 的可反复擦写的只读程序存储器（PEROM）和 128 bytes 的随机存取数据存储器（RAM），器件采用 ATMEL 公司的高密度、非易失性存储技术生产，兼容标准 MCS-51 指令系统，片内置通用 8 位中央处理器（CPU）和 Flash 存储单元，功能强大 AT89LV51 单片机可为您提供许多高性价比的应用场合，可灵活应用于各种控制领域，特别适合于便携式、袖珍式及电池供电的仪器仪表、各种方式体积小的设备中应用环境中。AT89LV51 可在 2.7—6.0V 电源电压下工作。

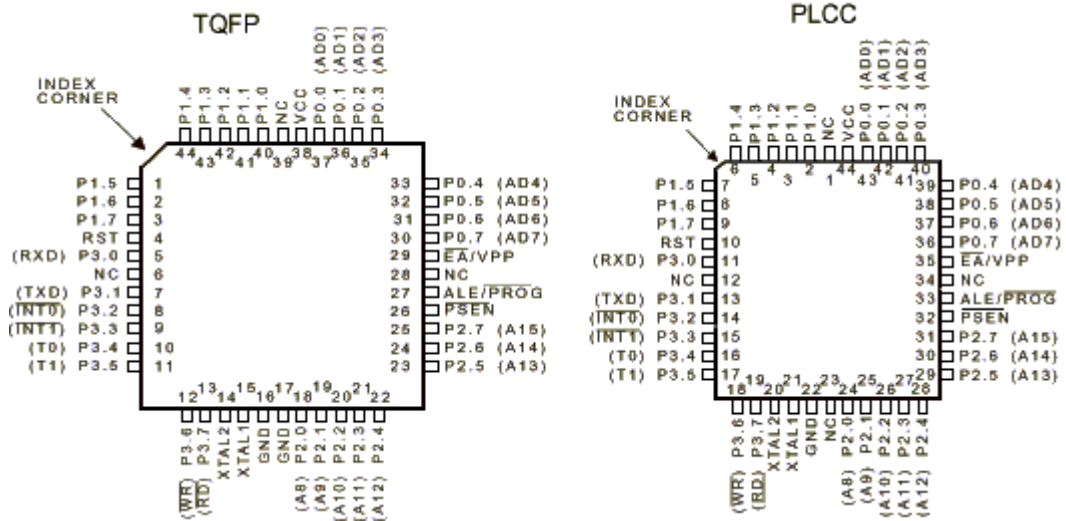
主要性能参数:

- 与 MCS—51 产品指令系统完全兼容
- 4k 字节可重擦写 Flash 闪速存储器
- 1000 次擦写周期
- 2.7—6V 的工作电压范围
- 全静态操作：0Hz—12MHz
- 三级加密程序存储器
- 128×8 字节内部 RAM
- 32 个可编程 I/O 口线
- 2 个 16 位定时/计数器
- 6 个中断源
- 可编程串行 UART 通道
- 低功耗空闲和掉电模式

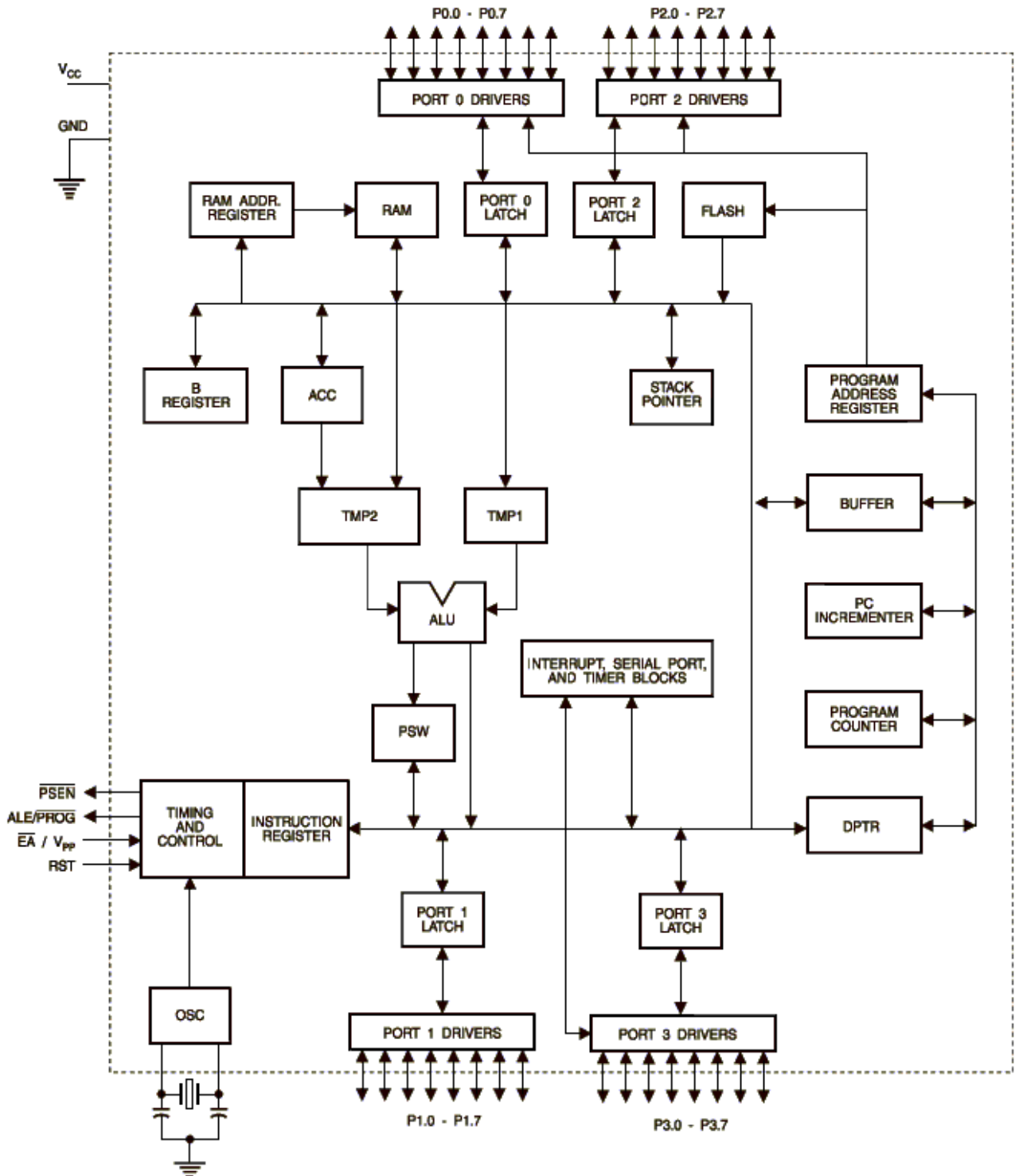


功能特性概述:

AT89LV51 提供以下标准功能：4k 字节 Flash 闪速存储器，128 字节内部 RAM，32 个 I/O 口线，两个 16 位定时/计数器，一个 5 向量两级中断结构，一个全双工串行通信口，片内振荡器及时钟电路。同时，AT89LV51 可降至 0Hz 的静态逻辑操作，并支持两种软件可选的节电工作模式。空闲方式停止 CPU 的工作，但允许 RAM，定时/计数器，串行通信口及中断系统继续工作。掉电方式保存 RAM 中的内容，但振荡器停止工作并禁止其它所有部件工作直到下一个硬件复位。



AT89LV51 方框图



引脚功能说明

- V_{CC}: 电源电压
- GND: 地

• **P0 口:** P0 口是一组 8 位漏极开路型双向 I/O 口，也即地址/数据总线复用口。作为输出口用时，每位能吸收电流的方式驱动 8 个 TTL 逻辑门电路，对端口写“1”可作为高阻抗输入端用。

在访问外部数据存储器或程序存储器时，这组口线分时转换地址（低 8 位）和数据总线复用，在访问期间激活内部上拉电阻。

在 Flash 编程时，P0 口接收指令字节，而在程序校验时，输出指令字节，校验时，要求外接上拉电阻。

• **P1 口:** P1 是一个带内部上拉电阻的 8 位双向 I/O 口，P1 的输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对端口写“1”，通过内部的上拉电阻把端口拉到高电平，此时可作输入口。作输入口使用时，因为内部存在上拉电阻，某个引脚被外部信号拉低时会输出一个电流(I_{IL})。

Flash 编程和程序校验期间，P1 接收低 8 位地址。

• **P2 口:** P2 是一个带有内部上拉电阻的 8 位双向 I/O 口，P2 的输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对端口写“1”，通过内部的上拉电阻把端口拉到高电平，此时可作输入口，作输入口使用时，因为内部存在上拉电阻，某个引脚被外部信号拉低时会输出一个电流(I_{IL})。

在访问外部程序存储器或 16 位地址的外部数据存储器（例如执行 MOVX @DPTR 指令）时，P2 口送出高 8 位地址数据。在访问 8 位地址的外部数据存储器（如执行 MOVX @RI 指令）时，P2 口线上的内容（也即特殊功能寄存器（SFR）区中 R2 寄存器的内容），在整个访问期间不改变。

Flash 编程或校验时，P2 亦接收高位地址和其它控制信号。

• **P3 口:** P3 口是一组带有内部上拉电阻的 8 位双向 I/O 口。P3 口输出缓冲级可驱动（吸收或输出电流）4 个 TTL 逻辑门电路。对 P3 口写入“1”时，它们被内部上拉电阻拉高并可作为输入端口。作输入端时，被外部拉低的 P3 口将用上拉电阻输出电流 (I_{IL})。

P3 口除了作为一般的 I/O 口线外，更重要的用途是它的第二功能，如下表所示：

端口引脚	第二功能
P3.0	RXD（串行输入口）
P3.1	TXD（串行输出口）
P3.2	$\overline{INT0}$ （外中断 0）
P3.3	$\overline{INT1}$ （外中断 1）
P3.4	T0（定时/计数器 0）
P3.5	T1（定时/计数器 1）
P3.6	\overline{WR} （外部数据存储器写选通）
P3.7	\overline{RD} （外部数据存储器读选通）

P3 口还接收一些用于 Flash 闪速存储器编程和程序校验的控制信号。

• **RST:** 复位输入。当振荡器工作时，RST 引脚出现两个机器周期以上高电平将使单片机复位。

• **ALE/PROG:** 当访问外部程序存储器或数据存储器时，ALE（地址锁存允许）输出脉冲用于锁存地址的低 8 位字节。即使不访问外部存储器，ALE 仍以时钟振荡频率的 1/6 输出固定的正脉冲信号，因此它可对外输出时钟或用于定时目的。要注意的是：每当访问外部数据存储器时将跳过一个 ALE 脉冲。

• 空闲节电模式:

AT89LV51 有两种可用软件编程的省电模式，它们是空闲模式和掉电工作模式。这两种方式是控制专用寄存器 PCON（即电源控制寄存器）中的 PD（PCON.1）和 IDL（PCON.0）位来实现的。PD 是掉电模式，当 PD=1 时，激活掉电工作模式，单片机进入掉电工作状态。IDL 是空闲等待方式，当 IDL=1，激活空闲工作模式，单片机进入睡眠状态。如需同时进入两种工作模式，即 PD 和 IDL 同时为 1，则先激活掉电模式。

在空闲工作模式状态，CPU 保持睡眠状态而所有片内的外设仍保持激活状态，这种方式由软件产生。此时，片内 RAM 和所有特殊功能寄存器的内容保持不变。空闲模式可由任何允许的中断请求或硬件复位终止。

终止空闲工作模式的方法有两种，其一是任何一条被允许中断的事件被激活，IDL（PCON.0）被硬件清除，即刻终止空闲工作模式。程序会首先响应中断，进入中断服务程序，执行完中断服务程序并紧随 RETI（中断返回）指令后，下一条要执行的指令就是使单片机进入空闲模式那条指令后面的一条指令。

其二是通过硬件复位也可将空闲工作模式终止。需要注意的是，当由硬件复位来终止空闲工作模式时，CPU 通常是从激活空闲模式那条指令的下一条指令开始继续执行程序，要完成内部复位操作，硬件复位脉冲要保持两个机器周期（24 个时钟周期）有效，在这种情况下，内部禁止 CPU 访问片内 RAM，而允许访问其它端口。为了避免可能对端口产生意外写入，激活空闲模式的那条指令后一条指令不应是一条对端口或外部存储器的写入指令。

• 掉电模式:

在掉电模式下，振荡器停止工作，进入掉电模式的指令是最后一条被执行的指令，片内 RAM 和特殊功能寄存器的内容在终止掉电模式前被冻结。退出掉电模式的唯一方法是硬件复位，复位后将重新定义全部特殊功能寄存器但不改变 RAM 中的内容，在 Vcc 恢复到正常工作电平前，复位应无效，且必须保持一定时间以使振荡器重新启动并稳定工作。

空闲和掉电模式外部引脚状态

模式	程序存储器	ALE	PSEN	P0	P1	P2	P3
空闲模式	内部	1	1	数据	数据	数据	数据
空闲模式	外部	1	1	浮空	数据	地址	数据
掉电模式	内部	0	0	数据	数据	数据	数据
掉电模式	外部	0	0	浮空	数据	数据	数据

• 程序存储器的加密:

AT89LV51 可使用对芯片上的 3 个加密位 LB1、LB2、LB3 进行编程（P）或不编程（U）来得到如下表所示的功能：

加密位保护功能表

	程序加密位			保护类型
	LB1	LB2	LB3	
1	U	U	U	没有程序保护功能
2	P	U	U	禁止从外部程序存储器中执行 MOV C 指令读取内部程序存储器的内容
3	P	P	U	除上表功能外，还禁止程序校验
4	P	P	P	除以上功能外，同时禁止外部执行

注：表中的 U——表示未编程，P——表示编程

当加密位 LB1 被编程时，在复位期间，EA 端的逻辑电平被采样并锁存，如果单片机上电后一直没有复位，则锁存起的初始值是一个随机数，且这个随机数会一直保存到真正复位为止。为使单片机能正常工作，被锁存的 EA 电平值必须与该引脚当前的逻辑电平一致。此外，加密位只能通过整片擦除的方法清除。

• Flash 闪速存储器的编程:

AT89LV51 单片机内部有 4k 字节的 Flash PEROM，这个 Flash 存储阵列出厂时已处于擦除状态（即所有存储单元的内容均为 FFH），用户随时可对其进行编程。编程接口可接收高电压（+12V）或低电压（Vcc）的允许编程信号。低电压编程模式适合于用户在线编程系统，而高电压编程模式可与通用 EPROM 编程器兼容。

AT89LV51 单片机中，有些属于低电压编程方式，而有些则是高电压编程方式，用户可从芯片上的型号和读取芯片内的签名字节获得该信息，见下表。

	$V_{pp} = 12V$	$V_{pp} = 5V$
芯片顶面标识	xxxx yyww	xxxx-5 yyww
签名字节	(030H) = 1EH (031H) = 61H (032H) = F FH	(030H) = 1EH (031H) = 61H (032H) = 05H

AT89LV51 的程序存储器阵列是采用字节写入方式编程的，每次写入一个字节，要对整个芯片内的 PEROM 程序存储器写入一个非空字节，必须使用片擦除的方式将整个存储器的内容清除。

• 编程方法:

编程前，须按表 6 和图 6 所示设置好地址、数据及控制信号，编程单元的地址加在 P1 口和 P2 口的 P2.0—P2.3（11 位地址范围为 0000H—0FFFH），数据从 P0 口输入，引脚 P2.6、P2.7 和 P3.6、P3.7 的电平设置见表 6， \overline{PSEN} 为低电平，RST 保持高电平， \overline{EA}/V_{pp} 引脚是编程电源的输入端，按要求加上编程电压， $\overline{ALE}/\overline{PROG}$ 引脚输入编程脉冲（负脉冲）。编程时，可采用 3—12MHz 的时钟振荡器，AT89LV51 编程方法如下：

1. 在地址线上加上要编程单元的地址信号。
2. 在数据线上加上要写入的数据字节。
3. 激活相应的控制信号。
4. 在高电压编程方式时，将 \overline{EA}/V_{pp} 端加上 +12V 编程电压。
5. 每对 Flash 存储阵列写入一个字节或每写入一个程序加密位，加上一个 $\overline{ALE}/\overline{PROG}$ 编程脉冲。
改变编程单元的地址和写入的数据，重复 1—5 步骤，直到全部文件编程结束。
每个字节写入周期是自身定时的，通常约为 1.5ms。

• 数据查询:

AT89LV51 单片机用数据查询方式来检测一个写周期是否结束，在一个写周期中，如需读取最后写入的那个字节，则读出的数据的最高位（P0.7）是原来写入字节最高位的反码。写周期完成后，有效的数据就会出现在所有输出端上，此时，可进入下一个字节的写周期，写周期开始后，可在任意时刻进行数据查询。

• **Ready/Busy:** 字节编程的进度可通过“RDY/BSY 输出信号监测, 编程期间, ALE 变为高电平“H”后 P3.4 (RDY/BSY) 端电平被拉低, 表示正在编程状态 (忙状态)。编程完成后, P3.4 变为高电平表示准备就绪状态。

• **程序校验:** 如果加密位 LB1、LB2 没有进行编程, 则代码数据可通过地址和数据线读回原编写的数据, 采用下图的电路, 程序存储器的地址由 P1 和 P2 口的 P2.0—P2.3 输入, 数据由 P0 口读出, P2.6、P2.7 和 P3.6、P3.7 的控制信号见表 6, PSEN 保持低电平, ALE、EA 和 RST 保持高电平。校验时, P0 口须接上 10k 左右的上拉电阻。

表6 Flash 存储器编程真值表

方式		RST	PSEN	ALE/PROG	EA/V _{pp}	P2.6	P2.7	P3.6	P3.7
写代码数据		H	L		H/12V	L	H	H	H
读代码数据		H	L	H	H	L	L	H	H
写加密位	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
片擦除		H	L	(1)	H/12V	H	L	L	L
读签名字节		H	L	H	H	L	L	L	L

注: 片擦除操作时要求PROG脉冲宽度为10ms

图6 编程电路

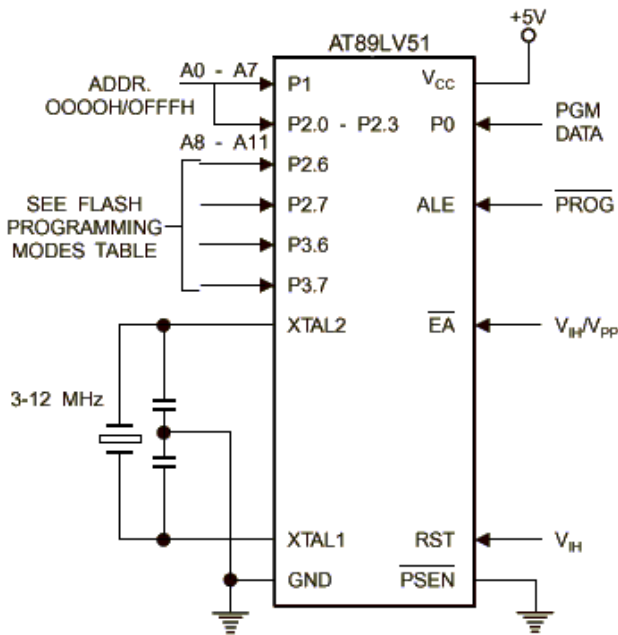
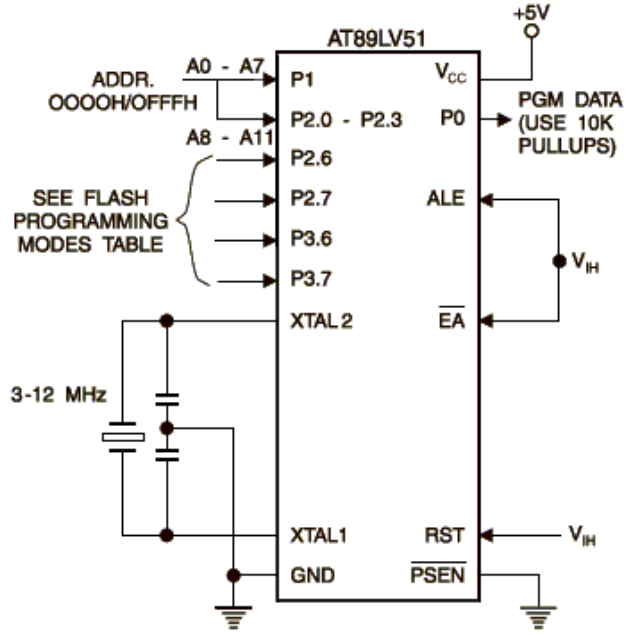
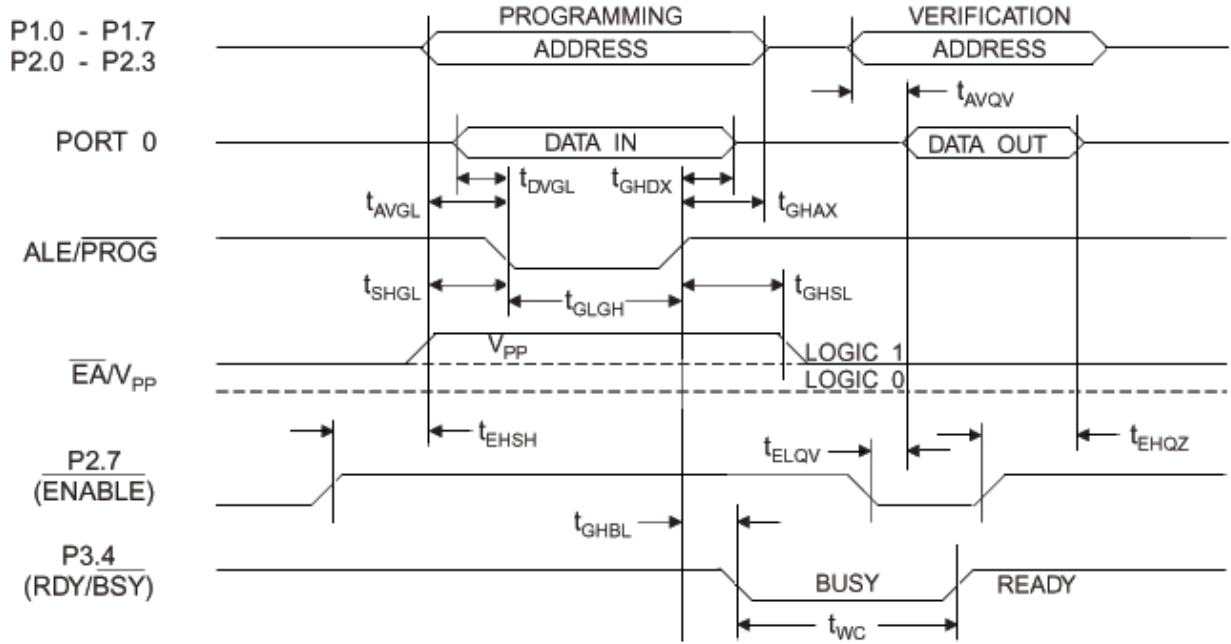


图7 校验电路

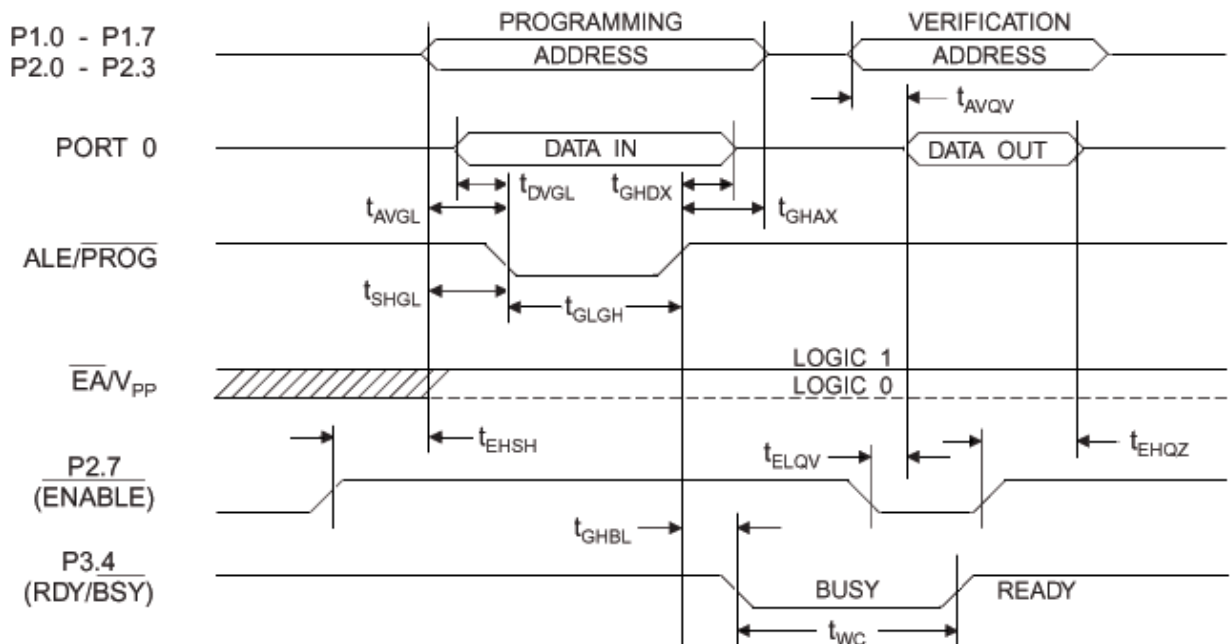


加密位不可直接校验，加密位的校验可通过对存储器的校验和写入状态来验证。
Flash 存储器编程和程序校验时序图 7（高电压编程）和图 8（低电压编程）。

Flash编程和校验的波形时序（高电压编程方式 $V_{pp}=12V$ ）



Flash编程和校验的波形时序（低电压编程方式 $V_{pp}=5V$ ）



• **芯片擦除:** 利用控制信号的正确组合（表 6）并保持 ALE/PROG 引脚 10ms 的低电平脉冲宽度即可将 PEROM 阵列（4k 字节）和三个加密位整片擦除，代码阵列在片擦除操作中将任何非空单元写入“1”，这一步骤需再编程之前进行。

• **读片内签名字节:** AT89LV51 单片机内有 3 个签名字节，地址为 030H、031H 和 032H。用于声明该器件的厂商、型号和编程电压。读签名字节的过程和单元 030H、031H 及 032H 的正常校验相仿，只需将 P3.6 和 P3.7 保持低电平，返回值意义如下：

(030H) =1EH 声明产品由 ATMEL 公司制造。

(031H) =61H 声明为 AT89LV51 单片机。

(032H) =FFH 声明为 12V 编程电压。

(032H) =05H 声明为 5V 编程电压。

• **编程接口:**

采用控制信号的正确组合可对 Flash 闪速存储阵列中的每一代码字节进行写入和存储器的整片擦除，写操作周期是自身定时的，初始化后它将自动定时到操作完成。

Flash编程和校验特性

$T_A = 0^{\circ}\text{C to } 70^{\circ}\text{C}, V_{CC} = 5.0 \pm 10\%$

符号	参数	最小值	最大值	单位
$V_{PP}^{(1)}$	编程电压	11.5	12.5	V
$I_{PP}^{(1)}$	编程电流		1.0	mA
$1/t_{CLCL}$	时钟频率	3	24	MHz
t_{AVGL}	建立地址到PROG变低	$48t_{CLCL}$		
t_{GHAX}	PROG变低后地址保持不变	$48t_{CLCL}$		
t_{DVGL}	建立数据到PROG变低	$48t_{CLCL}$		
t_{GHDX}	PROG变低后数据保持不变	$48t_{CLCL}$		
t_{EHS}	ENABLE变高到Vpp	$48t_{CLCL}$		
t_{SHGL}	加Vpp到PROG变低	10		μs
$t_{GHSL}^{(1)}$	PROG后保持Vpp	10		μs
t_{GLGH}	PROG宽度	1	110	μs
t_{AVQV}	地址到数据有效		$48t_{CLCL}$	
t_{ELQV}	ENABLE低到数据有效		$48t_{CLCL}$	
t_{EHQZ}	ENABLE后数据浮空	0	$48t_{CLCL}$	
t_{GHBL}	PROG变高到BUSY变低		1.0	μs
t_{WC}	字节写入周期		2.0	ms

注：仅用于12V编程模式

• AT89LV51 的极限参数:

极限参数

工作温度	-55°C to +125°C
储藏温度	-65°C to +150°C
任一引脚对地电压	-1.0V to +7.0V
最高工作电压	6.6V
直流输出电流	15.0 mA

• 直流特性:

DC Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7\text{V}$ to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage	(Except \overline{EA})	-0.5	$0.2 V_{CC} - 0.1$	V
V_{IL1}	Input Low Voltage (\overline{EA})		-0.5	$0.2 V_{CC} - 0.3$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.45	V
V_{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, \overline{PSEN})	$I_{OL} = 3.2 \text{ mA}$		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, \overline{PSEN})	$I_{OH} = -60 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -20 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}$		-650	μA
I_{LI}	Input Leakage Current (Port 0, \overline{EA})	$0.45 < V_{IN} < V_{CC}$		± 10	μA
RRST	Reset Pulldown Resistor		50	300	$\text{K}\Omega$
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$		20/5.5	mA
		Idle Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$		5/1	mA
	Power Down Mode ⁽²⁾	$V_{CC} = 6\text{V}$		100	μA
		$V_{CC} = 3\text{V}$		20	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 10 mA
 Maximum I_{OL} per 8-bit port:
 Port 0: 26 mA
 Ports 1, 2, 3: 15 mA

Maximum total IOL for all output pins: 71mA
 If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power Down is 2V.

• 交流特性:

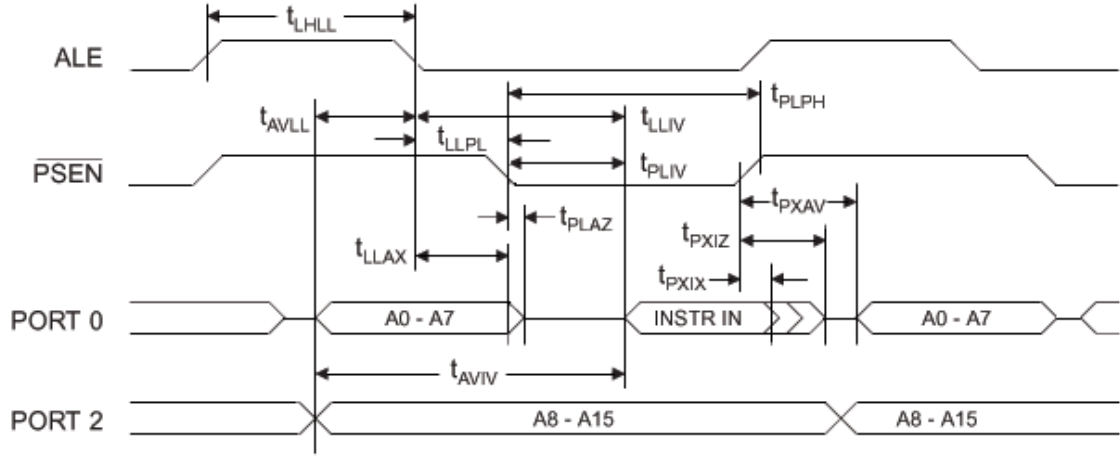
AC Characteristics

Under operating conditions, load capacitance for Port 0, ALE/ $\overline{\text{PROG}}$, and $\overline{\text{PSEN}}$ = 100 pF; load capacitance for all other outputs = 80 pF.

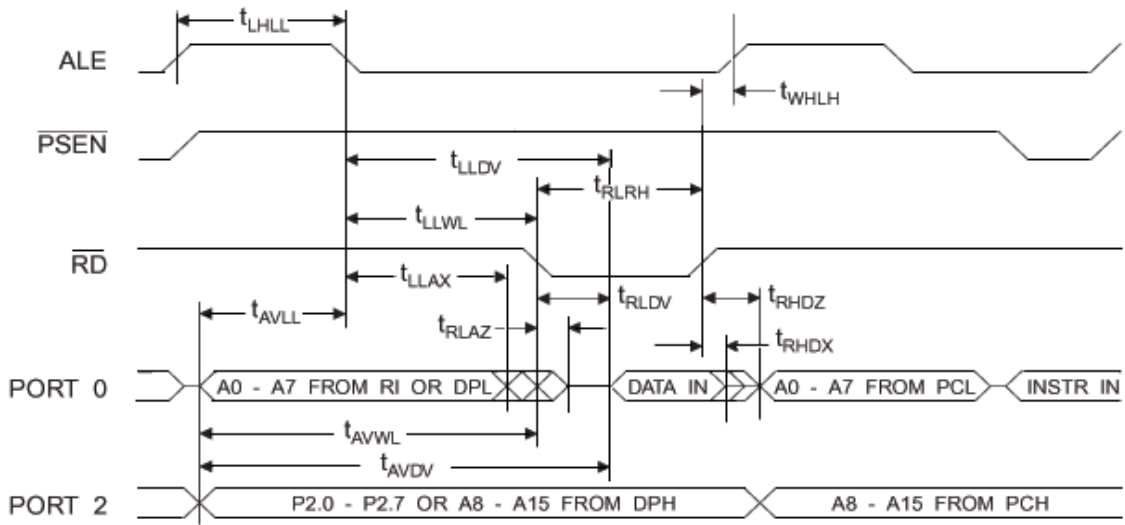
External Program and Data Memory Characteristics

Symbol	Parameter	12 MHz Oscillator		Variable Oscillator		Units
		Min	Max	Min	Max	
$1/t_{\text{CLCL}}$	Oscillator Frequency			0	12	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{\text{CLCL}}-40$		ns
t_{AVLL}	Address Valid to ALE Low	43		$t_{\text{CLCL}}-40$		ns
t_{LLAX}	Address Hold After ALE Low	48		$t_{\text{CLCL}}-35$		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{\text{CLCL}}-100$	ns
t_{LLPL}	ALE Low to $\overline{\text{PSEN}}$ Low	43		$t_{\text{CLCL}}-40$		ns
t_{PLPH}	$\overline{\text{PSEN}}$ Pulse Width	205		$3t_{\text{CLCL}}-45$		ns
t_{PLIV}	$\overline{\text{PSEN}}$ Low to Valid Instruction In		145		$3t_{\text{CLCL}}-105$	ns
t_{PXIX}	Input Instruction Hold After $\overline{\text{PSEN}}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{\text{PSEN}}$		59		$t_{\text{CLCL}}-25$	ns
t_{PXAV}	$\overline{\text{PSEN}}$ to Address Valid	75		$t_{\text{CLCL}}-8$		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{\text{CLCL}}-105$	ns
t_{PLAZ}	$\overline{\text{PSEN}}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{\text{RD}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{WLWH}	$\overline{\text{WR}}$ Pulse Width	400		$6t_{\text{CLCL}}-100$		ns
t_{RLDV}	$\overline{\text{RD}}$ Low to Valid Data In		252		$5t_{\text{CLCL}}-165$	ns
t_{RHDX}	Data Hold After $\overline{\text{RD}}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{\text{RD}}$		97		$2t_{\text{CLCL}}-70$	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{\text{CLCL}}-150$	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{\text{CLCL}}-165$	ns
t_{LLWL}	ALE Low to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	200	300	$3t_{\text{CLCL}}-50$	$3t_{\text{CLCL}}+50$	ns
t_{AVWL}	Address to $\overline{\text{RD}}$ or $\overline{\text{WR}}$ Low	203		$4t_{\text{CLCL}}-130$		ns
t_{QVWX}	Data Valid to $\overline{\text{WR}}$ Transition	23		$t_{\text{CLCL}}-60$		ns
t_{QVWH}	Data Valid to $\overline{\text{WR}}$ High	433		$7t_{\text{CLCL}}-150$		ns
t_{WHQX}	Data Hold After $\overline{\text{WR}}$	33		$t_{\text{CLCL}}-50$		ns
t_{RLAZ}	$\overline{\text{RD}}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{\text{RD}}$ or $\overline{\text{WR}}$ High to ALE High	43	123	$t_{\text{CLCL}}-40$	$t_{\text{CLCL}}+40$	ns

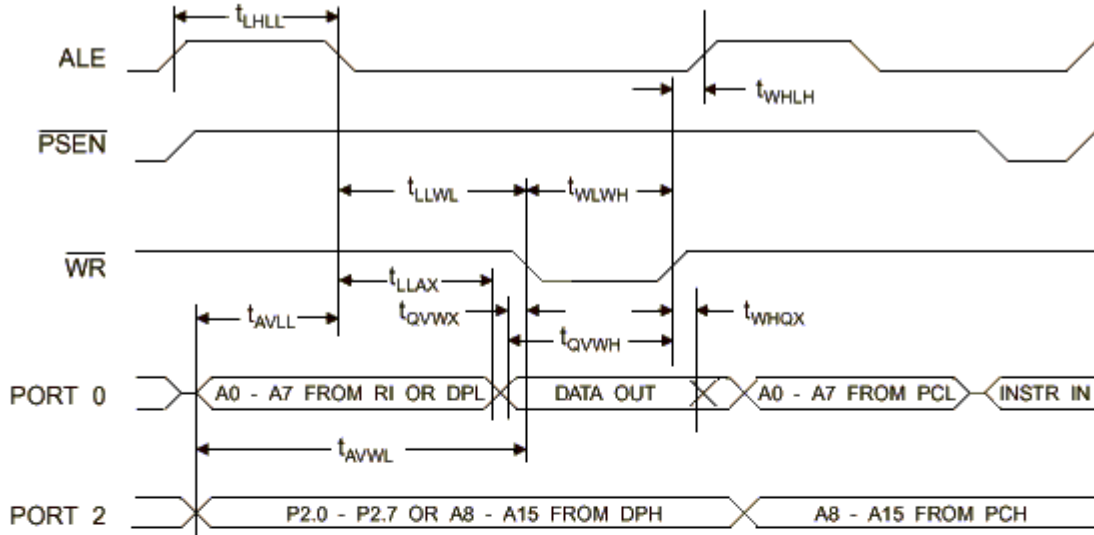
外部程序存储器读周期



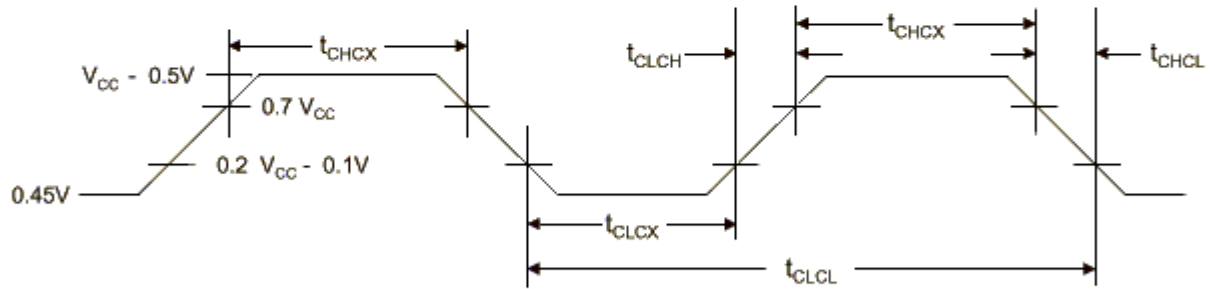
外部数据存储器读周期



外部数据存储器写时序



外部时钟驱动波形



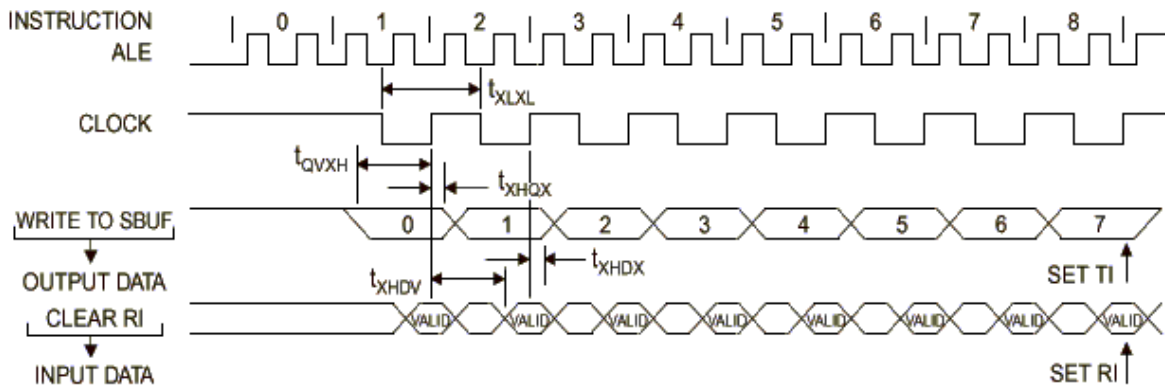
外部时钟驱动特性

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	12	MHz
t_{CLCL}	Clock Period	83.3		ns
t_{CHCX}	High Time	20		ns
t_{CLCX}	Low Time	20		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

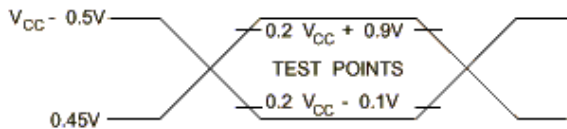
串行口时序，移位寄存器测试条件
 (V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t _{XLXL}	Serial Port Clock Cycle Time	1.0		12t _{CLCL}		μs
t _{QVXH}	Output Data Setup to Clock Rising Edge	700		10t _{CLCL} -133		ns
t _{XHQX}	Output Data Hold After Clock Rising Edge	50		2t _{CLCL} -117		ns
t _{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t _{XHDV}	Clock Rising Edge to Input Data Valid		700		10t _{CLCL} -133	ns

移位寄存器时序波形



AC 输入/输出测试波形

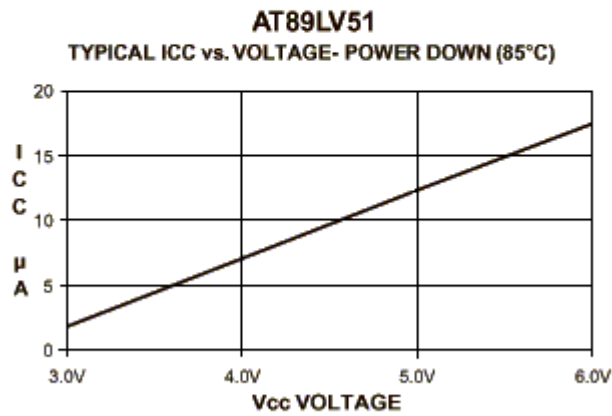
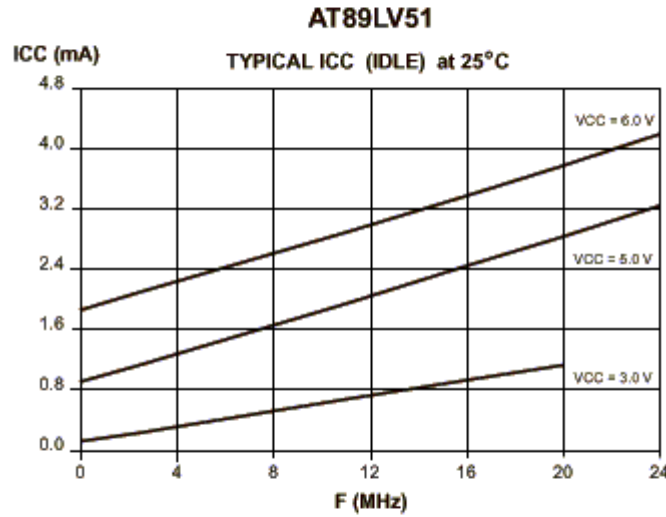
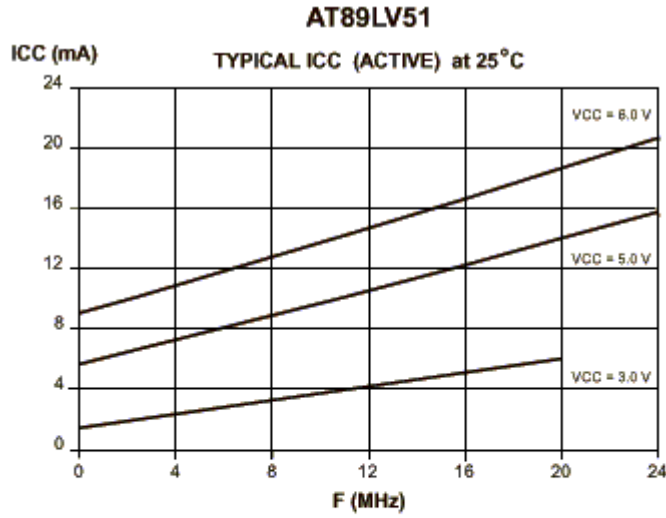


Note: 1. AC inputs during testing are driven at 2.4V for a logic "1" and 0.45V for a logic "0". Timing measurements are made at 2.0V for a logic "1" and 0.8V for a logic "0".

浮空波形



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs.



注：1. XTAL1接地掉电时Icc
2. 加密位编程时

AT89LV51 Datasheets V1.0

产品型号及序号资料

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6V	AT89LV51-12AC AT89LV51-12JC AT89LV51-12PC	44A 44J 40P6	Commercial (0° C to 70° C)
12	2.7V to 6V	AT89LV51-12AI AT89LV51-12JI AT89LV51-12PI	44A 44J 40P6	Industrial (-40° C to 85° C)

Package Type	
44A	44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44 Lead, Plastic J-Leaded Chip Carrier (PLCC)
40P6	40 Lead, 0.600" Wide, Plastic Dull Inline Package (PDIP)