

第一页

特性:

充电平衡 ADC

24 位, 不丢失码

非线性度为 0.0015%

双通道可编程增益前端

增益范围为 1 到 128

差动输入

低通滤波器, 截止频率可通过编程设置

校准系数可读写

具有串口的双向微控制器

可选择内外基准参考电源

可提供单端或者双端补偿

功耗低(一般为 25mW), 还有待机模式(一般为 7mW)

应用:

天平, 温差热电偶, 过程控制, 快速转换器, 色谱分析仪(可编程控制及数字控制, 工业仪器仪表, 传感器信号采集控制)

一般说明:

AD7710 是完全的模拟前端芯片, 可用于低频测量设备。它可接受直接来自应变计或传感器的低电平信号, 同时它还能输出串行数字信号。它采用了 Sigma-Delta 转换技术以实现在 24 位精度的情况下不丢失码。进入调节器前端的信号的增益是可编程控制的。调节器输出信号要经过数字滤波器(芯片本身含有)处理。数字滤波器的第一槽口可由 AD7710 的控制寄存器(芯片本身含有)控制, 这将使得调节截止频率和稳定时间成为可能。

该元件具有两个差分模拟输入和一个差分基准参考电源输入。通常, 一个通道将作为主通道使用, 同时第二个通道将作为辅助通道(它将周期性的测量第二电压)。如果模拟输入端的输入信号大于 -30mV , 在单极电源下也能运行(将 V_{SS} 脚接 AGND)。如果使 V_{SS} 脚为阴极, 芯片的输入信号范围可以低到 $-V_{REF}$ 。因此 AD7710 可用于所有信号的调节和转换(可通过采用单通道或双通道系统实现)。

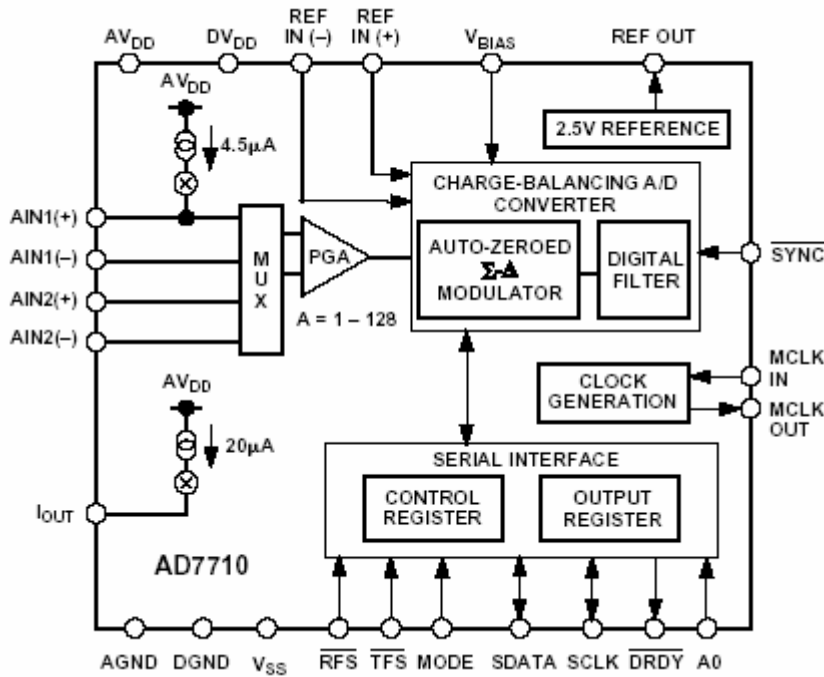
将 AD7710 用于以快速和微控制器为基础的体系是非常理想的。它可通过双向串口写入程序, 通过程序可以实现输入通道的选择, 增益设置和信号的极性。AD7710 具有自动校准, 校准体系和背景校准功能, 而且它还允许用户读和写校准寄存器。

它的 CMOS 结构可以保证耗能低, 同时它还可通过软件控制进入待机模式以降低功耗(仅为 7mW)。该元件有 24 个引脚, 0.3 英寸宽, 塑料密封双列直插式封装, 具有 24 脚小型外壳。

产品优势

1. 前端增益可通过编程设定, 这使得 AD7710 能获得直接来自于电阻丝应变计或传感器(它们的信号可在调整到适当的范围内)的输入信号。
2. 由于 AD7710 本身带有控制寄存器(它能够控制滤波器的截止频率、输入增益、选择信道、信号极性和校准模式), 这使得 AD7710 用于微控制器或 DSP 非常理想的。
3. AD7710 允许用户读写标准寄存器。这意味着微控制器对校准过程将具有更大的控制能力。
4. 由于 AD7710 在 23 位动态范围内的误差仅为 0.0015%, 这使得它精确可用。它的自校准能消除温漂影响, 它还能消除零量程和满量程误差。

原理图



MUX

PGA

AUTO-ZEROED MODULATOR

DIGITAL FILTER

CHARGE-BALANCING A/D CONVERTER

SERIAL INTERFACE

CONTROL REGISTER

OUTPUT REGISTER

多路转换器

管脚系列

自动调零调节器

数字滤波器

充电平衡 A/D 转换器

串连接口

控制寄存器

输出寄存器

第二页

<http://www.ti.com>

参数名称	A, S 版本 1	单位	状态、注解
静态特性			
不丢失码	24	位	设计时就已确定, 滤波槽口频率<60HZ
	22	位	滤波槽口频率=100HZ
	18	位	滤波槽口频率=250HZ
	15	位	滤波槽口频率=500HZ
	12	位	滤波槽口频率=1kHz
噪声输出	见表 1 和 2		与滤波截止频率和增益选择有关
综合非线性 25°C	0.0015	% of FSRmax	滤波槽口频率<60HZ
最小时间比最大时间	0.003	% of FSRmax	典型的为 0.0003%
阳极满量程误差 (2,3)	(4)		不考虑基准电压源
满量程漂移(5)	1	uV/°C typ	不考虑基准电压源,放大倍数为 1, 2
	0.3	uV/°C typ	不考虑基准电压源,放大倍数为 4,8,16,32,64,128

单极补偿误差(2)	(4)		
单极补偿漂移(5)	0.5	uV/°C typ	放大倍数为 1,2
	0.25	uV/°C typ	放大倍数为 4,8,16,32,64,128
双极零误差(2)	(4)		
双极零漂移(5)	0.5	uV/°C typ	放大倍数为 1,2
	0.25	uV/°C typ	放大倍数为 4,8,16,32,64,128
增益漂移	2	ppm/°C typ	
双极负极满量程误差(25°C)(2)	±0.003	%of FSRmax	不考虑基准电压源
最小时间比最大时间	±0.006	%of FSRmax	一般为±0.0006%
双极负极满量程漂移(5)	1	uV/°C typ	不考虑基准电压源,放大倍数为 1, 2
	0.3	uV/°C typ	不考虑基准电压源,放大倍数为 4,8,16,32,64,128
模拟输入/基准电压源输入			
普通模式输入抑制	100	dB min	直流,AVdd=5V
	90	dB min	直流,Avdd=10V
普通模式电压范围	Vss 至 AVdd	V min- V max	
标准模式 50HZ 抑制	100	dB min	滤波槽口频率 10,25,50HZ, ±0.02×f _{NOTCH}
标准模式 60HZ 抑制	100	dB min	滤波槽口频率 10,30,60HZ, ±0.02×f _{NOTCH}
普通模式 50HZ 抑制	150	dB min	滤波槽口频率 10,25,50HZ, ±0.02×f _{NOTCH}
普通模式 60HZ 抑制	150	dB min	滤波槽口频率 10,30,60HZ, ±0.02×f _{NOTCH}
直流漏电流(25°C)	10	pA max	
最短时间比最长时间	1	nA max	
采样电容	20		
输入电压范围	0 至+Vref(10)	nom	对于标准运行状态取决于单极性输入范围(控制寄存器的 B/U 位=1),双极性输入范围(控制寄存器的 B/U 位=0)。
	±Vref	nom	
输入采样速率,f _s	参见表 3		
参考输入			
REF IN(+)-REF IN(-)Voltage	2.5V 至 5V	V min -Vmax	对于特定的参数,芯片接通较低的参考电压
输入采样速率, f _s	f _{CLK IN} /256		

注意:

1. 温度范围如下: A 版本, -40°C 至 +85°C; S 版本, -55°C 至 +125°C。参见注意 16。
- 2.
- 3.
- 4.
- 5.
- 6.
- 7.
- 8.
- 9.
- 10.

第四页

最大范围(在 +25°C下测量, 除非特别说明)

AV _{DD} to DV _{DD}	-0.3 V to +12 V
AV _{DD} to V _{SS}	-0.3 V to +12 V
AV _{DD} to AGND	-0.3 V to +12 V
AV _{DD} to DGND	-0.3 V to +12 V
DV _{DD} to AGND	-0.3 V to +6 V
DV _{DD} to DGND	-0.3 V to +6 V
V _{SS} to AGND	+0.3 V to -6 V
V _{SS} to DGND	+0.3 V to -6 V
Analog Input Voltage to AGND.	V _{SS} - 0.3 V to AV _{DD} + 0.3 V
Reference Input Voltage to AGND.	V _{SS} - 0.3 V to AV _{DD} + 0.3 V
REF OUT to AGND	-0.3 V to AV _{DD}
Digital Input Voltage to DGND	-0.3 V to AV _{DD} + 0.3 V
Digital Output Voltage to DGND	-0.3 V to DV _{DD} + 0.3 V
Operating Temperature Range Commercial (A Version)	-40°C to +85°C
Extended (S Version)	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 secs)	+300°C
Power Dissipation (Any Package) to +75°C	450 mW
Derates Above +75°C.	6 mW/°C

注意

ESD(静电式放电) 敏感性元件。它能够承担 4000V 的放电电压。虽然它有自保护电路, 长期在这种环境中运行将使芯片性能下降。因此, 有必要对这方面给予适当的关注。

模式	温度范围	可选型号
AD7710AN	-40°C至+85°C	N-24
AD7710AR	-40°C至+85°C	R-24
AD7710AQ	-40°C至+85°C	Q-24
AD7710SQ	-55°C至+125°C	Q-24
EVAL-AD7710EB	Evaluation Board	

注意:

- 1.
2. N=塑料双列直插式组件 Q=陶瓷浸渍 R=小块集成电路

第五页

时间特性 (1, 2): (DVdd = +5V ± 5%; AVdd = +5 或 +10V ± 5%; Vss = 0V 或 -5V ± 10%; AGND=DGND=0V; f_{CLK IN}=10MHZ; INPUT Logic0=0V, Logic 1=DVdd, 除非特别说明)

参数	最小和最大时间限制 (A, S 版本)	单位	状况/说明
f _{CLK IN} (4, 5)			主时钟频率: 晶体振荡器或外部提供特殊频率。
	400	KHZ min	
	10	MHZ max	ADdd=+5V ± 5%
	8	MHZ max	AVdd=+5.25 至 +10.5V
t _{CLK IN LO}	0.4 × t _{CLK IN}	ns min	主时钟输入最低时间。t _{CLK IN} = 1/ f _{CLK IN}
t _{CLK IN HI}	0.4 × t _{CLK IN}	ns min	主时钟输入最高时间。
t _r (6)	50	ns max	数据输出上升时间。(一般为 20ns)
t _f (6)	50	ns max	数据输出下降时间。(一般为 20ns)
t ₁	1000	ns min	(非 SYNC)的脉冲宽度
自时钟模式			
t ₂	0	ns min	(非 DRDT)到(非 RFS) 准备时间
t ₃	0	ns min	(非 DRDT)到(非 RFS) 保持时间
t ₄	2 × t _{CLK IN}	ns min	A0 到(非 RFS) 准备时间
t ₅	0	ns min	A0 到(非 RFS) 保持时间
t ₆	4 × t _{CLK IN} + 20	ns min	(非 RFS) 低电平至 SCLK 下降沿
t ₇	4 × t _{CLK IN} + 20	ns min	数据通道打开时间【(非 RFS) 低打开】
t ₈	t _{CLK IN} / 2	ns min	SCLK 下降沿到数据通道打开
	t _{CLK IN} / 2 + 30	ns min	
t ₉	t _{CLK IN} / 2	ns min	SCLK 高电平脉宽
t ₁₀	3 × t _{CLK IN} / 2	ns min	SCLK 低电平脉宽
t ₁₄	50	ns min	A0 到(非 RFS) 准备时间
t ₁₅	0	ns min	A0 到(非 RFS) 保持时间
t ₁₆	4 × t _{CLK IN} + 20	ns min	(非 RFS) 到 SCLK 下降沿延迟时间
t ₁₇	4 × t _{CLK IN}	ns min	(非 RFS) 到 SCLK 下降沿保持时间
t ₁₈	0	ns min	数据通道打开到 SCLK 建立时间
t ₁₉	10	ns min	数据通道打开到 SCLK 保持时间
外时钟模式			
f _{SCLK}	f _{CLK IN} / 5	MHZ max	串连时钟输入频率
t ₂₀	0	ns min	(非 DRDY) 至 (非 RFS) 建立时间
t ₂₁	0	ns min	(非 DRDY) 至 (非 RFS) 保持时间
t ₂₂	2 × t _{CLK IN}	ns min	A0 到(非 RFS) 准备时间
t ₂₃	0	ns min	A0 到(非 RFS) 保持时间
t ₂₄	4 × t _{CLK IN}	ns max	数据通道打开时间【(非 RFS) 低打开】
t ₂₅	10	ns min	SCLK 下降沿到数据通道打开
	2 × t _{CLK IN} + 20	ns max	
t ₂₆	2 × t _{CLK IN}	ns min	SCLK 高电平脉宽
t ₂₇	2 × t _{CLK IN}	ns min	SCLK 低电平脉宽
t ₂₈	t _{CLK IN} + 10	ns max	SCLK 下降沿至 (非 DRDY) 高的时间

t ₂₉ (8)	10	ns min	SCLK 至数据有效保持时间
	t _{CLK IN} +10	ns max	
t ₃₀	10	ns max	(非 RFS)/(非 TFS)到 SCLK 下降沿保持时间
t ₃₁ (8)	5 × t _{CLK IN} /2+50	ns min	(非 RFS) 到数据有效保持时间
t ₃₂	0	ns min	A0 到 (非 TFS) 准备时间
t ₃₃	0	ns min	A0 到 (非 TFS) 保持时间
t ₃₄	4 × t _{CLK IN}	ns min	SCLK 下降沿到 (非 TFS) 保持时间
t ₃₅	2 × t _{CLK IN} - SCLK High	ns min	数据通道打开到 SCLK 建立时间
t ₃₆	30	ns min	数据通道打开到 SCLK 保持时间

注意:

- 1.
- 2.
- 3.
- 4.
- 5.
- 6.
- 7.
- 8.

<http://www.elecfans.com>

管脚功能说明

脚号	脚名	功能说明
1	SCLK	串行时钟。由 MODE 脚的状态来确定它的逻辑输入 / 输出。当 MODE 高，芯片进入自时钟模式，SCLK 脚提供串联时钟的输出。如果将 (/RFS) 或 (/TFS) 脚变成低电平，SCLK 将被激活。当 (/RFS) 或 (/TFS) 脚变成高电平，或者芯片已经完成信号传输时，SCLK 将进入高阻抗状态。当 MODE 低，将进入外部时钟模式，SCLK 脚作为输入脚。在这种模式下，数据将以串联脉冲的形式输出（连续时钟脉冲）。也可以这样传输：以较小的数据包传输（非连续时钟脉冲）。
2	MCLK IN	元件的主时钟。它可通过晶振或外部时钟获得。如果是晶振输入，那么必须连接 MCLK IN 和 MCLK OUT 脚。外部时钟可这样获得，MCLK IN 脚由可兼容的 CMOS 时钟驱动，MCLK OUT 悬空。时钟频率一般为 10MHZ。
3	MCKL OUT	当主时钟是外部晶振时，晶振与 MCLK IN 和 MCLK OUT 相连。
4	A0	地址输入端。当地址输入端为低电平时，可读写元件的控制寄存器。当地址输入端为高电平时，可读写数据寄存器或校准寄存器。
5	/SYNC	逻辑输入端。当使用多个 DA7710 时，它可使数字滤波器同步运行。它可使数字滤波器节点复位。
6	MODE	逻辑输入端。当 MODE=1，元件将进入自时钟模式。当 MODE=0，将进入外部计时模式。
7	AIN1(+)	模拟输入通道 1。可编程增益差分模拟的正输入端。AIN1(+)与一个输出电流源相连，该电流源可用于检测外部转换器是否烧坏或短路。通过控制寄存器可打开或关闭输出电流源。
8	AIN1(-)	模拟输入通道 1。可编程增益差分模拟的负输入端。
9	AIN2(+)	模拟输入通道 2。可编程增益差分模拟的正输入端。
10	AIN2(-)	模拟输入通道 2。可编程增益差分模拟的负输入端。
11	V _{SS}	模拟电压源负端，0V 至 -5V。将其与 AGND 相连，将进入单电源操作。如果要芯片能正常运行，AIN1 和 AIN2 端的输入电压低于 V _{SS} 的值不能超过 30mV。
12	AV _{DD}	模拟电压源正端，+5V 至 +10V。
13	V _{BIAS}	输入偏置电压。输入电压应该服从下式： $V_{BIAS} + 0.85 \times V_{REF} < AV_{DD}$ ； $V_{BIAS} - 0.85 \times V_{REF} > V_{SS}$ （这里的 V _{REF} 等于 REF（+）-REF（-））。通常，它的值应该在 AV _{DD} 和 V _{SS} 之间。因此，当 AV _{DD} =+5V，V _{SS} =0V 时，它可以与 REF OUT 相连。当 AV _{DD} =+5V，V _{SS} =-5V，它可以与 AGND 相连。当 AV _{DD} =+10V 时，它可以与 +5V 相连。
14	REF IN(-)	基准电压源输入端。只要 REF（+）比 REF（-）大，REF（-）可为 AV _{DD} 至 V _{SS} 之间的任何值。
15	REF IN(+)	基准电压源输入端。只要 REF（+）比 REF（-）大，REF（+）可为 AV _{DD} 至 V _{SS} 之间的任何值。
16	REF OUT	基准电压源输出端。内部 2.5V 的参考电压是由这个脚提供的。它是一个单端输出（相对 AGND 而言）。可作为输出缓冲（可向外部提供 1mA 电流）。

17	I _{OUT}	补偿电流输出端。它可提供 20uA 的持续电流。它可为外部热敏电阻提供冷节点补偿。它可通过控制寄存器开或关。
18	AGND	模拟电路的接地端。
19	/TFS	帧同步传输端。在输入低电平时，可用于将串连数据写入元器件（通过脉冲的下降边沿读取信号）。在自时钟模式，当 (/TFS) 变成低电平时，串行时钟启动。在外部时钟模式，(/TFS) 先变成低电平，然后对数据进行写操作。
20	/RFS	帧同步接收端。在 (/RFS) 低电平时，芯片的数据通道选通。在自时钟模式，当 (/RFS) 变成低电平时，SCLK 和 SDATA 打开。在外部时钟模式，在 (/RFS) 变成低电平时，SDATA 打开。
21	/DRDY	逻辑输出端。它的下降沿表明新的输出数据可传输。当将数据完全传送后，该引脚将转为高电平。当 AD7710 完成校准程序后，该引脚将输出确认信号。
22	SDATA	串行数据端。串行数据可输入给控制寄存器和校准寄存器，串行数据可输出给控制寄存器，校准寄存器和数据寄存器。在输出数据读操作时，若 (/DRDY) 为低，在 (/RFS) 降为低后，串连数据端启动。在写操作中，在 SCLK 的上升沿将获得串行数据（当 /TFS 为低电平时）。当单极输入时，输出的数据码为 C 进制。当双极输入时，输出的数据码为偏移的二进制码。
23	DV _{DD}	数字电压源，+5V。在正常运行过程中，DV _{DD} 多于 AV _{DD} 的电压值不能超过 0.3V。
24	DGND	数字地参考点

第八页

专业术语：
非线性积分

阳极满量程误差

单极补偿误差

在单极模式运行时，

双极补偿误差

在双极模式运行时，

双极满量程积分误差

阳极满量程超出界限范围

阴极满量程超出界限范围

补偿校准范围

在系统校准模式中，AD7710 校准补偿（关于模拟输入）。补偿校准范围特指 AD7710 可接受的并且补偿校准精确的范围。

满量程校准范围

在 AD7710 的系统自校准模式和满量程校正时可接受的电压范围。

输入宽度

在系统校准电路中，AD7710 的两个模拟输入端的电压决定模拟输入电压范围。输入宽度特指输入电压从零量程至满量程下输入电压的最大值和最小值（AD7710 可接受的，并且满量程校准精确的条件下）。

第九页

控制寄存器（24 位）

将 A0 置为低电平，可将数据写入控制寄存器。将 A0 置为低电平，可对控制寄存器进行读操作。控制寄存器是 24 位的，如果在写入数据时输入的数据不是 24 位，那么数据将不能写入控制寄存器。如果（/TFS）没有返回高电平，当输入脉冲超过 24 个时，第 24 个脉冲之后的脉冲将会被丢弃。同样，控制寄存器的读操作也应该是 24 位数据。

MSB

MD2	MD1	MD0	G2	G1	G0	CH	PD	WL	IO	BO	B/U
FS11	FS10	FS9	FS8	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0

LSB

运行模式

运行模式

MD1 MD2 MD3

0	0	0	标准模式。这是芯片运行的标准模式，将 A0 置 1，可对数字寄存器进行读操作。内部电源复位后寄存器的这几位将进入这一默认状态。
0	0	1	激活自校准模式。这种自校准模式由 CH 控制。这是一步校准，当校准完成后，将回到标准模式。自校准完成后（非 DRDY）将输出确认信号。在这种模式下，零量程校准可通过内部输入零电平信号实现，满量程校准可通过内部的 V_{REF} 实现。
0	1	0	激活系统校准模式。这种模式由 CH 控制。这是两步校准，首先对选定的输入通道进行零量程校准，校准完成后，（/DRDY）将输出确认信号。第一步的最后将进入标准模式。
0	1	1	激活系统校准模式。这是系统校准模式的第二步，在模式中，系统对选定的输入通道进行满量程校准。校准完成后，（/DRDY）将再一次输出确认信号。完成后，将进入标准模式。
1	0	0	激活系统补偿校准模式。这种校准模式由 CH 控制。这是一步校准，当校准完成，将回到标准模式，同时由（/DRDY）输出确认信号。在这种模式下，零量程对选定的通道进行校准，满量程可通过内部的 V_{REF} 校准。
1	0	1	激活背景校准模式。这种校准模式由 CH 控制。如果这种模式打开，AD7710 将不断的对参考输入和零点平输入进行自校准。在转化过程将进入这种模式，它可以延长转化时间和降低传输速率。它的优势是当外界温度发生很大变化时，用户不用担心对芯片进行重校准。在这种模式中，零电平输入和 V_{REF} 以及模拟输入电压都将受到监视，并且，芯片的校准寄存器将能够自动更新。

1	1	0	读写零量程差分校准模式。读写零范围差分校准模式由 CH 来选择通道。将 A0 置 1，可以对芯片进行读操作；将 A0 置 0，可以对芯片进行写操作。差分模式的读或写操作时数据长度为 24 位，不考虑控制寄存器的 WL 位。因此，向校准寄存器输入的数据必须是 24 位的，否则数据将不能写进校准寄存器。
1	1	1	读写满量程差分校准模式。读写零范围差分校准模式由 CH 来选择通道。将 A0 置 1，可以对芯片进行读操作；将 A0 置 0，可以对芯片进行写操作。差分模式的读或写操作时数据长度为 24 位，不考虑控制寄存器的 WL 位。因此，向校准寄存器输入的数据必须是 24 位的，否则数据将不能写进校准寄存器。

第十页

管脚增益控制:

G2	G1	G0	增益
0	0	0	1 (内部电源复位后的默认状态)
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

通道选择:

CH	通道
0	AIN1 (内部电源复位后的默认状态)
1	AIN2

节能状态:

PD	状态
0	标准运行状态 (内部电源复位后的默认状态)
1	节能状态

数据长度:

WL	输出数据长度
0	16 位 (内部电源复位后的默认状态)
1	24 位

输出补偿电流:

IO	状态
0	关 (内部电源复位后的默认状态)
1	开

熔断电流

BO

0	关	(内部电源复位后的默认状态)
1	开	

双极或单极选择 (两个输入)

BU

0	双极	(内部电源复位后的默认状态)
1	单极	

滤波选择 (FS11—FS0):

将 12 位数据写进 FS11—FS0 中, 可确定截止频率的大小, 滤波器的第一陷波频率的位置和芯片的数据传送速率。如果考虑到它可确定增益大小, 它还可以确定芯片的输出噪声(还有有用分辨率)。

滤波器的第一陷波频率可用如下等式求得: 滤波器的第一陷波频率 = $(f_{\text{CLK IN}} / 512) / \text{code}$ (这里的 code 指的是与 FS0—FS11 相等的十进制数, 范围时 19—2000)。由于额定的 $f_{\text{CLK IN}}$ 等于 10MHZ, 因此滤波器的第一陷波频率的范围是 9.76HZ—1.028kHz。为了确保 AD7710 能正常运行, 输入给 FS0—FS11 的二进制数必须在规定的范围之内。

改变滤波器的陷波频率和增益将与分辨率冲突。表 1 和表 2 及图二表明在 AD7710 中滤波器的第一陷波频率和增益对有效分辨率的影响。例如, 如果滤波器的第一陷波频率等于 50HZ, 那么将以 50HZ 的速率或每 20ms 获得数据。如果滤波器的第一陷波频率等于 1kHz, 那么每 1ms 将获得新的数据。

满量程的数字滤波器输入变化所需的稳定时间较长, 为 $4 \times 1 / (\text{输出数据速率})$ 。例如, 如果滤波器的第一陷波频率等于 50HZ, 那么数字滤波器进行一次满量程输入变化最多需要 80ms 时间才能稳定。如果滤波器的第一陷波频率等于 1kHz, 那么数字滤波器每进行一次满量程输入变化最多需要 4ms 时间才能稳定。当 (/SYNC) 为低电平, 需要输入操作, 稳定时间将为 $3 \times 1 / (\text{输出数据速率})$ 。如果改变数据传输通道, 当不考虑 (/SYNC) 时, 稳定时间为 $3 \times 1 / (\text{输出数据速率})$ 。

—3dB 的频率可由滤波器的第一陷波频率 (可通过程序确定) 确定:

—3dB 的频率 = $0.262 \times$ 滤波器的第一陷波频率

第十一页

表 1 和表 2 表现的是在一些典型的陷波频率和陷波频率为 -3dB 的频率时输出噪声功率的均方根。测试条件如下: 双极性模式, 输入为 2.5V 的 V_{REF} , 模拟输入电压为 0V。芯片有两个输出噪声源: 调节器运行过程中内部半导体元件产生的噪声; 模拟信号转变成数字信号时将产生噪声。噪声比较低, 主要取决于频率。噪声开始非常低, 随着频率的增大噪声也变得越来越大 (此时频率是产生噪声的主要因素)。当频率设置较低时 (低于 60HZ), 元器件本身是产生噪声的主要因素, 当频率越来越大, 产生噪声的主要因素变成了频率。改变陷波频率和截止频率 (当频率是产生噪声的主要因素时) 对噪声的影响远远大于改变内部半导体元件 (当内部半导体元件产生的噪声占优势时), 可从表 1 看出。此外, 管脚阵列也会产生噪声, 因此当陷波频率较大时, 增益对噪声的影响非常明显。同时, 由于管脚阵列也会产生噪声, 因此, 在陷波频率较小时, 增益对噪声的影响变小了。

滤波器的陷波频率设置得越低 (低于 60HZ), 芯片以 24 位接受数据时丢失码越少。滤波器的陷波频率越高, 丢失码越多, 直到当滤波器的陷波频率等于 1kHz 时, 不丢失码的要求只能用于芯片以 12 位接受数据时。芯片的有效分辨率为 10.5 位 (由于滤波器的陷波频率

决定), 在这种状态下, 芯片的无误码性能是最佳的。

芯片的有效分辨率可定义为输出噪声能量均方根与满量程输入能量的均方根的比值。如果增益倍数或脉冲宽度不断变化, 这一值将不能保持一致。这在表1和表2表现得几乎相同, 只是表2的输出是以有效分辨率来表达的。将第一陷波频率设置为-3dB的频率, 这将提高输出数据的速率, 因此可以进一步降低噪声(参见数字滤波部分)。

表 1 输出噪声, 增益, 第一陷波频率

第一槽口频率或(1)	-3dB 频带	输出噪声均方根							
		1 倍	2 倍	4 倍	8 倍	16 倍	32 倍	64 倍	128 倍
10HZ	2.62HZ	1.0	0.78	0.48	0.33	0.25	0.25	0.25	0.25
25HZ	6.55HZ	1.8	1.1	0.63	0.5	0.44	0.41	0.38	0.38
30HZ	7.86HZ	2.5	1.31	0.84	0.57	0.46	0.43	0.4	0.4
50HZ	13.1HZ	4.33	2.06	1.2	0.64	0.54	0.46	0.46	0.46
60HZ	15.72HZ	5.28	2.36	1.33	0.87	0.63	0.62	0.6	0.56
100HZ	26.2HZ	13	6.4	3.7	1.8	1.1	0.9	0.65	0.65
250HZ	65.5HZ	130	75	25	12	7.5	4	2.7	1.7
500HZ	131HZ	600	260	140	70	35	25	15	8
1kHz	262HZ	3100	1600	700	290	180	120	70	40

注意:

(1) 默认状态(内部电源复位之后)下的第一槽口频率位 60HZ。

表 2 有效分辨率, 增益和第一槽口频率

第一槽口频率	-3dB 频带	有效分辨率(位)							
		1 倍	2 倍	4 倍	8 倍	16 倍	32 倍	64 倍	128 倍
10HZ	2.62HZ	22.5	21.5	21.5	21	20.5	19.5	18.5	17.5
25HZ	6.55HZ	21.5	21	21	20	19.5	18.5	17.5	16.5
30HZ	7.86HZ	21	21	20.5	20	19.5	18.5	17.5	16.5
50HZ	13.1HZ	20	20	20	19.5	19	18.5	17.5	16.5
60HZ	15.72HZ	20	20	20	19.5	19	18	17	16
100HZ	26.2HZ	18.5	18.5	18.5	18.5	18	17.5	17	16
250HZ	65.5HZ	15	15	15.5	15.5	15.5	15.5	15	14.5
500HZ	131HZ	13	13	13	13	13	12.5	12.5	12.5
1kHz	262HZ	10.5	10.5	11	11	11	10.5	10	10

注意:

有效分辨率定义如下: 输出噪声均方根比满量程输入(如 $2 \times V_{ref}/GAIN$)。

第十二页

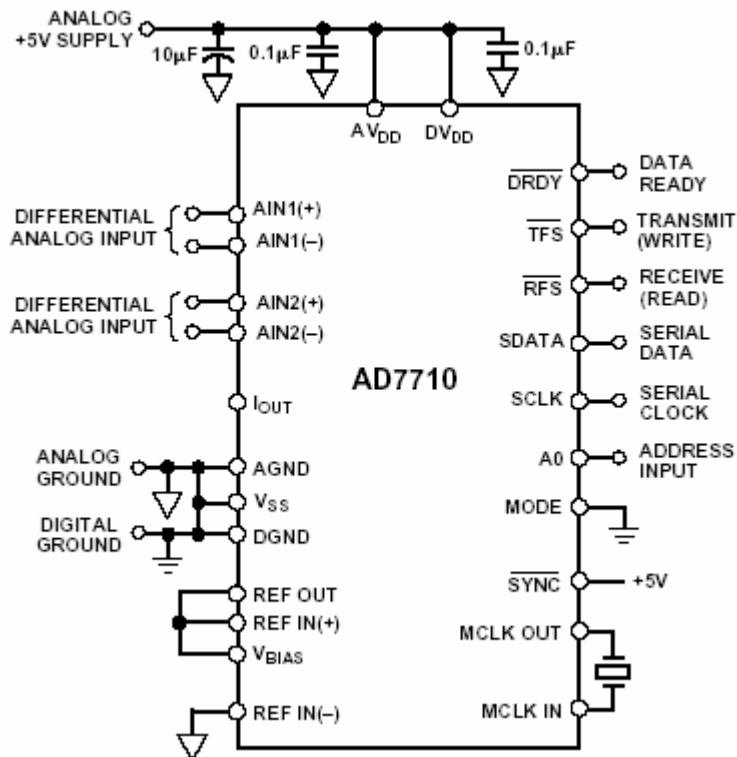
电路描述:

AD7710 是 Sigma-Delta A/D 转换器(带有数字滤波器), 数字滤波器在较宽的动态范围内进行测量, 它还可用于一些低频率设备如高精度天平、工业控制设备、过程控制设备等。它还有一个 Sigma-Delta(或充电平衡)模数转换器、一个带有静态 RAM 的校准微控制器, 一个数字滤波器和一个双通道串行通信接口。

芯片具有两个可通过程序控制增益大小的模拟信号输入通道。增益范围为 1 至 128 倍，这使得芯片能够接收范围为 0mV 至+20mV 和范围为 0V 至+2.5V 的单极信号；或者接收范围为 ±20mV 到 ±2.5V 之间的双极信号（当输入参考电压为+2.5V 时）。输入信号将在选定的输入通道以设定好采样速率（由主时钟 MCLK IN 频率控制）和放大倍数（见表 3）被采样。一个充电平衡 A/D 转换器（Sigma-Delta 调节器）将采样信号转换成数字脉冲串，脉冲串中的占空比包含了数字信息。实现模拟输入增益功能的电路也合成在 Sigma-Delta 模拟转换器中，输入采样频率被改进成获得较高的增益。低通数字滤波器处理 Sigma-Delta 模拟转换器的输出信号和更新寄存器的输出信号（处理的速率由滤波器的第一陷波频率确定）。输出数据可以从串口中随机的或者周期性（可以以任何速率，直到寄存器更新速率）的获得。这种数字滤波器的第一陷波频率（和它的一3dB 频率）能通过将程序写入控制寄存器来控制。可编程的滤波器的第一陷波频率范围为 9.76HZ 至 1.028kHz，可编程的一3dB 频率范围为 2.58HZ 至 269HZ。

基本连线图如图三。下图是外时钟模式，AV_{DD} 和 DV_{DD} 由外部+5V 的模拟电压驱动。在另外的一些应用中，AV_{DD} 和 DV_{DD} 是分开的，在一些情况下，模拟电压将超过+5V 的数字电压（参见电源和接地部分）。

图三 基本连线图



第十三页

AD7710 提供几种校准选择，这些可以通过控制寄存器控制。只要将信号写入控制寄存器，校准模式可以在任意时候启动。芯片有自校准模式，这种模式可以通过使用校准寄存器和 SRAM 保存校准参数实现。通过使用系统校准模式，芯片的其他部分也可消除补偿和增益误差。在背景校准模式，芯片可不断的进行自校准，同时还可不断的更新校准参数。一旦芯片进入这种模式，用户不用周期性的发送校准命令给芯片或要求系统重校准（当环境温度或电源供电电压变化时）。

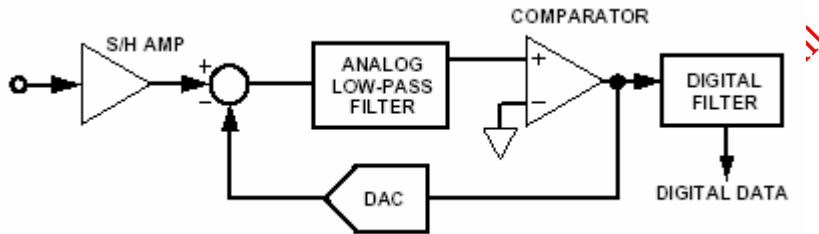
AD7710 允许微处理器读取校准系数,还允许用户将预先存入 E²PROM 的数据写进校准寄存器以改变校准参数。这使得微处理器对 AD7710 的校准过程具有更强的控制能力。这意味着用户能够检验所进行的校准是否正确同时可以纠正它(通过将校准寄存器中的参数与预先存入 E²PROM 的数据进行比较)。

只要模拟输入电压不低于-30mV, AD7710 可在单电源供电中运行。对于较高的双极性信号, V_{SS} 必须等于-5V。如果用电池供电, AD7710 可通过程序控制进入比较节省能量的低能耗模式(通常为 7mW)。

运行原理:

Sigma-Delta ADC 结构如图四, 它包括如下部分:

1. 采样保持放大器(S/H AMP)
2. 差分放大器或减法器
3. 低通模拟滤波器(ANALOG LOW-PASS FILTER)
4. 一位模数转换器(比较器)(COMPARATOR)
5. 一位 DAC(数模转换器)(DAC)
6. 低通数字滤波器(DEGITAL FILTER)



图四 Sigma-Delta ADC

在运行过程中,模拟采样信号传送给减法器,同时一位 DAC 也将信号传给减法器。经过低通滤波器后的信号进入比较器,比较器的输出采样信号频率是模拟信号采样频率的许多倍(采样过密)。

采样过密是运行 Sigma-Delta ADC 的基础。其噪声公式为:

$$SNR = (6.01 \times \text{number of bits} + 1.76) \text{ dB}$$

一位 ADC 或比较器的 SNR 等于 7.78dB。

芯片资料翻译文件

第十四页

输入采样速率:

如果不考虑增益的变化, 调节器的采样频率通常为 $f_{CLK IN}/512$ (如果 $f_{CLK IN}=10\text{MH}$,那么采样频率为 19.5kHz)。然而, 当增益大于 1 时, 调节器的采样周期和相应的参考电容的采样速率都将产生变化。多倍采样将造成这样的结果: 输入的采样速率和增益没有比较固定的比例关系(参见表 3)。有效的输入阻抗等于 $1/C \times f_s$ (这里的 C 指的是输入采样电容, 这里的 f_s 是输入采样速率)。

Table III. Input Sampling Frequency vs. Gain

Gain	Input Sampling Frequency (f_s)
1	$f_{CLKIN}/256$ (39 kHz @ $f_{CLKIN} = 10$ MHz)
2	$2 \times f_{CLKIN}/256$ (78 kHz @ $f_{CLKIN} = 10$ MHz)
4	$4 \times f_{CLKIN}/256$ (156 kHz @ $f_{CLKIN} = 10$ MHz)
8	$8 \times f_{CLKIN}/256$ (312 kHz @ $f_{CLKIN} = 10$ MHz)
16	$8 \times f_{CLKIN}/256$ (312 kHz @ $f_{CLKIN} = 10$ MHz)
32	$8 \times f_{CLKIN}/256$ (312 kHz @ $f_{CLKIN} = 10$ MHz)
64	$8 \times f_{CLKIN}/256$ (312 kHz @ $f_{CLKIN} = 10$ MHz)
128	$8 \times f_{CLKIN}/256$ (312 kHz @ $f_{CLKIN} = 10$ MHz)

数字滤波器:

AD7710 的数字滤波器和模拟滤波器差不多，只是有一点点区别。

首先，由于数字滤波器出现在 A-to-D（模数转换）之后，因此它可以去处转换过程中产生的噪声，而模拟滤波器做不到。

其次，模拟滤波器能在信号到达模数转换器之前滤除叠加在信号中的噪声。而这是数字滤波器做不到的，信号达到满量程的时候，噪声将出现最高峰，这有可能超出模拟变换器和数字滤波器的范围（即使信号的平均值在范围之内）。为了能减轻这一问题的影响，Sigma-Delta 调节器和数字滤波器在预先设计时都超出了额定的范围（即使其测量范围比模拟滤波器提高 5%）。如果噪声信号比这还大，则有必要考虑模拟输入滤波器，或者减少输入信道电压（使它的满量程等于模拟输入信道满量程的一半）。这要求电容器的电容为原来的两倍，这将导致一位的测量范围仅为原来的一半。

滤波器的特性:

数字滤波器的截止频率是由载入控制寄存器的 FS0-FS11 位决定的。当最大时钟频率位 10MHZ 时，最小截止频率为 2.58HZ。最大可编程控制截止频率为 269HZ。

图六表现的是截止频率为 2.62HZ（此时的滤波器第一陷波频率为 10HZ）时滤波器的频率响应。这是一个 $(\sin x/x)^3$ 响应（也可称为 sinc^3 ），该响应能去除在 50HZ 和 60HZ 下大于 100dB 的信号。通过改变 FS0-FS11 可以改变截止频率，但不能改变滤波器响应图像，它只能改变陷波频率（可参见控制寄存器部分）。

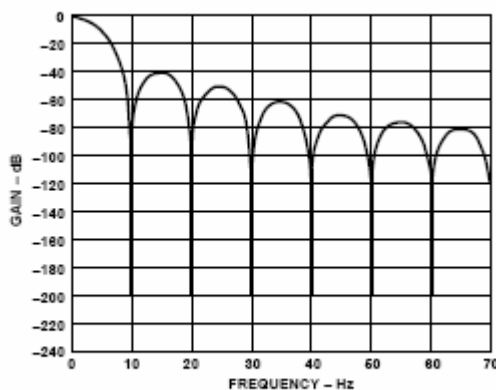


Figure 6. Frequency Response of AD7710 Filter

由于 AD7710 含有低通滤波器，因此，输入的阶跃电压时需要考虑稳定时间，否则输出电压波形将会无效（除非忽略稳定时间）。稳定时间取决于滤波器选择的陷波频率。滤波器陷波频率乘以滤波器稳定时间除以满量程阶跃信号输入时间等于输出数据速率，它是输出数据周期的 4 倍。当使用两个输入通道时，在第二通道选通之前滤波器的稳定时间必须允许忽略。

后续滤波:

调节器可以 19.5kHz 的速率输出采样数据。数字滤波器取出大量的采样信号以满足输出数据的速率（与滤波器的第一陷波频率相对应）。由于输出数据的速率超出了耐奎斯特准则，在一定频宽内的输出速率能够满足一些设备的要求。然而，一些应用可能允许一定的频宽和噪声，但是要求数据传送速率较高。如果设备需要更高的数据传送速率将需要在 AD7710 之后进行多个后续滤波。

例如，如果频宽要求为 7.86Hz，但是要求更新数据速率为 100Hz。如果 AD7710 的频宽为 26.2Hz（-3dB），那么可以以 100Hz 的速率从 AD7710 中获得数据。采用后续滤波，可以减少频宽（如达到 7.86Hz），降低输出噪声，同时还可以保证输出数据速率为 100Hz。

后续滤波同样可以减少频宽低于 2.62Hz 的设备的输出噪声。当增益为 128 时，输出噪声均方根为 250nW。噪声本质上必须是电路本身的噪声或白噪声，由于输入被切断，噪声将有一个很平的频率响应。将频宽减少到低于 2.62Hz，合成后的噪声通频带将减少。减少频宽将导致两个结果：输出噪声平均功率减少，延长稳定时间。

第十五页

反混淆考虑:

数字滤波器无法剔除调节器采样频率的整数倍的信号（ $n \times 19.5\text{Hz}$ ，这里的 $n=1, 2, 3, \dots$ ）。这意味着频宽为 $\pm f_{3\text{dB}}$ （ $f_{3\text{dB}}$ 是截止频率，它是由 $FS_0 - FS_{-1}$ 决定的），在这里，噪声并没有削弱。然而，由于 AD7710 的过密采样速率非常高，这些频带中仅包含极小一部分噪声谱，大部分宽频带噪声都被滤除了。在许多情况下，过密采样速率高，滤波器（它是比较简单的、RC 结构、单极滤波器）通常足以削弱频带中的信号，因此反混淆滤波性能较好。

如果无源部件在 AD7710 前面，必须确保电源阻抗足够低，以保证不会引起增益误差。数据转换的输入（对 AD7710）阻抗超过 1G 欧姆。输入的表现动态负载，随着时钟频率和所选的增益（参见图七）不同而不同。输入采样速率（如表 3 所示）决定了时间（经过模拟输入电容 C_{INT} 的允许）是可变的。外部阻抗将导致电容的充电时间延长，这有可能导致模拟输入增益产生误差。表 4 列出了允许的电阻和电容值，这组值在采用十六位的情况下，是不会产生误差的。表 5 列出的允许电容和电阻值在二十位的情况下不会产生增益误差。差分输入的两个输入通道在输入电路的角度来看几乎相同。

下表中的数据假定模拟输入端是满量程充电的。几乎在所有的情况中，由于充电时间延长引入的误差就是增益误差，这种误差可以使用系统校准将其去除（只要结果的范围在系统校准允许的范围之内）。

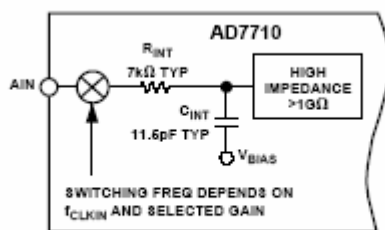


Figure 7. Analog Input Impedance

Table IV. Typical External Series Resistance That Will Not Introduce 16-Bit Gain Error

Gain	External Capacitance (pF)					
	0	50	100	500	1000	5000
1	184 kΩ	45.3 kΩ	27.1 kΩ	7.3 kΩ	4.1 kΩ	1.1 kΩ
2	88.6 kΩ	22.1 kΩ	13.2 kΩ	3.6 kΩ	2.0 kΩ	560 Ω
4	41.4 kΩ	10.6 kΩ	6.3 kΩ	1.7 kΩ	970 Ω	270 Ω
8–128	17.6 kΩ	4.8 kΩ	2.9 kΩ	790 Ω	440 Ω	120 Ω

Table V. Typical External Series Resistance That Will Not Introduce 20-Bit Gain Error

Gain	External Capacitance (pF)					
	0	50	100	500	1000	5000
1	145 kΩ	34.5 kΩ	20.4 kΩ	5.2 kΩ	2.8 kΩ	700 Ω
2	70.5 kΩ	16.9 kΩ	10 kΩ	2.5 kΩ	1.4 kΩ	350 Ω
4	31.8 kΩ	8.0 kΩ	4.8 kΩ	1.2 kΩ	670 Ω	170 Ω
8–128	13.4 kΩ	3.6 kΩ	2.2 kΩ	550 Ω	300 Ω	80 Ω

模拟输入功能:

模拟输入范围

模拟输入的两个端口都是差分输入端、可编程增益、输入通道即可作为单极信号输入也可作为双极信号输入。标准模式下的输入范围为从 V_{SS} 至 AV_{DD} (要求模拟输入电压的绝对值在 $V_{SS}-30mV$ 和 $AV_{DD}+30mV$ 之间)。

数据转换输入漏电流 (25°C) 最大为 10pA, 这将导致数据转换偏移电压随着电源阻抗变化而变化。但是, 数据转换偏移可以通过差分输入电容和系统的校准模式来补偿。

熔断电流

AD7710 的 AIN1 (+) 端含有一个 4.5uA 的电流源, 它可通过控制寄存器控制开或关。它可用来检测变换器是否熔断或短路 (在试图对通道进行测量之前)。如果电流源打开并且允许流入变换器, 而且此时已经开始对 AIN1 输入端的输入电压进行测量, 它能指示到底是变换器熔断还是断路。在正常运行过程中, 将 0 写进控制寄存器的 BO 位就能关断熔断电流。

输出补偿电流

在热电偶设备中, AD7710 能进行冷节点补偿。从芯片的 I_{OUT} 脚输出补偿电流可以实现。此外, 这种电流能通过控制寄存器控制其开或关。在控制寄存器的 IO 位写 1, 可启动补偿电流。

补偿电流提供 20uA 的持续电流源, 它可以和热敏电阻或一个二极管结合使用, 以提供冷节点补偿。冷节点补偿是通过下面的方法实现的: 选用一个温度相关的固定电阻, 电流流过该电阻, 测得的电压值等于冷节点的电压值 (在一定范围下电压值不变)。在这种情况下, 补偿电流温度系数与热敏电阻的温度系数相比如此的小, 以至于可以认为在一定温度下电流是恒定的。温度的变化是随着热敏电阻器阻抗温度变化的。

通常是从 AD7710 的第二输入通道输入补偿电压来提供冷节点补偿的。周期的变换通道能提供一个与冷节点补偿电压相对应的电压。这可用于冷节点补偿 (根据补偿通道的结果对其进行补偿)。在模拟方式下, 电压将会被输入电压减去, 所以通常只用 AD7710 的一个通道。

第十六页

双极和单极输入

AD7710 的两个模拟输入端口都可以单极输入或双极输入。单极或双极是通过控制寄存器的 B/U 位控制的。通过程序来选定是单极还是双极输入对输入的信号没有影响, 改变的

仅仅是输出数据的编码。单极输入的编码是二进制的，双极输入的编码是偏移二进制。

由于输入的信道是差分的，这导致提供给单极和双极的参考电压 $A_{IN}(-)$ 也不同。例如：如果 $A_{IN}(-)$ 为 1.25V，AD7710 是单极信号输入，增益为 1， V_{REF} 为 +2.5V，那么在 $A_{IN}(+)$ 端输入电压的范围为 +1.25V 至 +3.75V。如果 $A_{IN}(-)$ 为 +1.25V，AD7710 是双极模式，增益为 1， V_{REF} 为 +2.5V，此时 $A_{IN}(+)$ 端输入电压的范围为 -1.25V 至 +3.75V。

参考电压输入/输出

AD7710 含有一个经过温度补偿的参考电压（电压值为 +2.5V，误差范围为 1%）。这一参考电压是由 REF OUT 提供的，它可作为参考电压，只要将它和 REF (+) 短接就行了。REFOUT 是单端输出的，它是相对于 AGND（能提供 1mA 电流给外部的负载）而言的。在应用中，REF OUT 与 REF (+) 相连，REF (-) 与 AGND 相连（用于给 AD7710 提供 2.5V 的参考电压）。

AD7710 的参考输入端（REF IN (+)、REF IN (-)）提供了差动参考输入。通常情况下，它们的输入电压范围在 V_{SS} 到 AV_{DD} 之间。标准差分电压 V_{REF} (REF IN (+) - REF IN (-)) 为 2.5V（用于特殊情况），参考电压可以达到 +5V（只要 REF IN (+) 和 REF IN (-) 的绝对值不超过 AV_{DD} 和 V_{SS} 的限制，而且 V_{BIAS} 输入电压范围在允许的范围内）。Vref 降为 1V 也能运行，其运行范围也将缩小（输出噪声也将减少），同时 LSB 将增大。REF IN (+) 必须比 REF IN (-) 大。

两个参考输入（与模拟输入相类似）提供一个比较高的、动态阻抗。数据转换漏电流最大为 10pA，电源阻抗有可能导致增益产生误差。参考输入看起来象模拟输入（参见图七）。在图中可看出， R_{INT} 通常为 5k 欧姆， C_{INT} 随着增益的变化而变化。输入采样速率为 $f_{CLKIN}/256$ ，但是它们的变化没有一定的比例关系。增益从 1 到 8 C_{INT} 为 20pF，增益为 16 时， C_{INT} 为 10pF，增益为 32 时， C_{INT} 为 5pF，增益为 64 时， C_{INT} 为 2.5pF，增益为 128 时， C_{INT} 为 1.25pF。

AD7710 的数字滤波器可以滤除来自参考电压输入端的噪声，它同样可以滤除来自模拟输入端的噪声。由于在采样频率的整数倍时无法将噪声滤除，因此仍然受到一定的限制。表 1、2 体现了输出噪声的趋势（假定参考的是没有噪声的）。如果在需要的带宽中的参考电压噪声非常大，将降低 AD7710 的性能。用芯片自带的参考电压作为参考电源（例如将 REF OUT 和 REF IN 短接）可能会降低 AD7710 的降低输出噪声的（因为从表格中可看出这一部分占芯片噪声的大部分）性能。参考电压的噪声产生的影响可以被放大设备（参考电源被用来给模拟前端提供激励电压）消除。图八是连接图（当使用参考电压时，这一连接方式比较合适）。对 AD7710 而言，采用 2.5V 的参考电压比较合适。

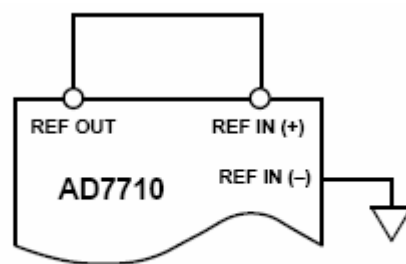


Figure 8. REF OUT/REF IN Connection

V_{BIAS} 输入端

V_{BIAS} 输入端输入电压的大小取决于内部模拟电路偏置电压的大小。它实际上是给调节器中的模拟电流提供了一个反馈环，这应该通过控制一个低的电阻节点来减少误差。

偏置电压应该处于 AV_{DD} 和 V_{SS} 之间。

AV_{DD} 和 $(V_{BIAS} + 0.85 \times V_{REF})$ 决定了它的最高值， V_{SS} 和 $(V_{BIAS} - 0.85 \times V_{REF})$ 决定了它的

最低值。

必须确保偏置电压处于设定的范围之内。

如果是单极输入电压+5V，所选的偏置电压必须确保 $V_{BIAS} \pm 0.85 \times V_{REF}$ 不超过 AV_{DD} 或 V_{SS} 或偏置电压本身大于 $V_{SS}+2.1V$ 或低于 $AV_{DD}-2.1V$ 。

如果是在单极输入电压+10V或在双极±5V，选择的偏置电压必须确保 $V_{BIAS} \pm 0.85 \times V_{REF}$ 不超过 AV_{DD} 或 V_{SS} 或者偏置电压本身大于 $V_{SS}+3V$ 或低于 $AV_{DD}-3V$ 。

例如：

$AV_{DD}=+4.75V$ ， $V_{SS}=-0V$ ， $V_{REF}=+2.5V$ ， V_{BIAS} 的范围是+2.125V——+2.625V之间。

$AV_{DD}=+9.5V$ ， $V_{SS}=-0V$ ， $V_{REF}=+5V$ ， V_{BIAS} 的范围是+4.25V——+5.25V之间。

$AV_{DD}=+4.75V$ ， $V_{SS}=-4.75V$ ， $V_{REF}=+2.5V$ ， V_{BIAS} 的范围是-2.625V——+2.625V之间。

偏置电压对 AV_{DD} 的供电能力有一定的影响，因此这将降低 AD7710 的性能。如果偏置电压伴随着 AV_{DD} 而产生，它将提高去除 AV_{DD} 提供电压的能力（在 80dB 到 95dB 之间）。将一个雪崩二极管（它可作为偏置电压的供电电源，这可以使得 AV_{DD} 供电电压更加稳定）连接在 AV_{DD} 和 V_{BIAS} 之间。

第十七页

AD7710 的使用

系统设计考虑

AD7710 组成将随着逐步逼近式模数转换器和积分式模数转换器。因为它连续采样信号（向一个追踪的模数转换器），因此不需要给予开始进行转换的命令。输出寄存器中数据的更新速率取决于第一陷波频率，可以随时从输出寄存器读取数据，无论是同步的还是不同步的。产生时钟信号

AD7710 需要一个主时钟，它可能是由外部 TTL/CMOS 兼容时钟信号通过 MCLK IN 脚输入，而 MCLK OUT 脚悬空。另外一种选择就是用 一个频率准确的晶振通过 MCLK IN 脚和 MCLK OUT 脚输入，在这种情况下，时钟电路将作为晶体振荡器控制。对于较低的时钟频率，可用陶瓷谐振器件替代晶体振荡器。对于较低频率的振荡器，晶体振荡器和陶瓷谐振器件有应该外加电容。

输入采样速率、变换器采样频率、-3dB 频率、输出数据更新速率和校准时间都与主时钟频率有直接联系 ($f_{CLK IN}$)。减少主时钟频率的 50%，更新速率减少一半，校准时间延长一倍。从 DV_{DD} 输出的电流与 $f_{CLK IN}$ 直接联系。将减少一半， DV_{DD} 也将减少一半，但是这不会影响 AV_{DD} 输出的电流的大小。

系统同步运行

如果并联的 AD7710 在普通的主时钟模式下运行，输出寄存器的更新能做到同步。（非 SYNC）的下降沿使滤波器复位，而且重新设置 AD7710。给 AD7710 的（非 SYNC）输入一个信号将使它们同步运行。当每一个 AD7710 完成了校准或已经存入了校准系数之后，进行这一操作是必要的。

（非 SYNC）输入信号同样可用于将数字滤波器复位，在这里数字电压供电电源（ DV_{DD} ）打开的时间很长。在 DV_{DD} 达到最低值 4.75V 之前，AD7710 应该先运行。如果 DV_{DD} 电压非常低，那么 AD7710 的内部数字滤波器不能正常运行。因此，在 DV_{DD} 达到正确运行之前，AD7710 必须能够自己在正确的时钟下运行。当向 AD7710 输入校准（无论是自校准、系统校准还是背景校准）命令时，数字滤波器将复位。这能保证 AD7710 正确运行。在系统中，AD7710 允许在默认模式下上电，再上电过程中不能进行校准，在（非 SYNC）处输入一个脉冲将使 AD7710 的数字转换器复位。在（非 SYNC）输入端串联一个电容和电阻，只要 R，C 持续时间超过 DV_{DD} 上电时间，（非 SYNC）将能正常工作。

精确度

Sigma-Delta 模数转换器（和 VFC 和其他的积分式模数转换器一样）不包含其他来源而且不丢失码。由于 AD7710 采用了性能较好的二氧化硅电容，所以它的线性度比较好，而且它具有非常低的电容和电压系数。在输入阶段，通过使用换流器移动补偿技术可以降低输入漂移。为了保证在一定的温度和时间那运行性能良好，AD7710 使用数字补偿技术，它能够最大限度的降低补偿和增益误差。

自动校准

AD7710 的自校准模式可消去补偿和增益误差。在运行过程中无论是温度发生变化或者是供电电压发生变化,都启动执行校准程序。如果增益、滤波器的陷波频率或者输入的方式（单极/双极输入）发生了变化，同样应该进行校准。但是，如果 AD7710 是在自校准模式下运行，上面的变化都能自动完成（滤波器的稳定时间允许）。AD7710 提供了自校准、系统校准和背景校准。由于校准将出现在选定的通道，片装微控制器必须记录变换器输出（在两种输入状态下：零量程和满量程）。在读数过程中，微控制器能计算出变换器改变功能时输入输出增益的斜率。芯片的分辨能力是 33 位，这决定了变换结果为 16 位或 24 位。

将数字写入 AD7710 的校准寄存器非常简便，在这种情况下，跨度和补偿都能由用户来控制。补偿校准寄存器包含的数值被所有的转换值减，而满量程校准寄存器包含的数值要于转换值相乘。补偿校准寄存器的系数将被满量程系数所乘的结果减。在这里列出的前三个模式下，（非 DRDY）表明校准是在它的低电平状态下实现的。如果（非 DRDY）之前就是低电平（或者处于低电平状态）时校准命令到了，它将在一个变换器循环中执行（在（非 DRDY）变成高电平之前），这表明校准正在进行。因此，（非 DRDY）应该被忽略，知道在一个变换器的循环中最后一位校准命令写入控制寄存器为止。

自校准

在自校准模式下，如果此时的输入为单极的，零量程点被用于决定校准系数，零量程点是将两个输入端短接（ $A_{IN}(+) = A_{IN}(-) = V_{bias}$ ）和满量程点为 V_{ref} 。零量程系数由转变内部短接的节点决定。满量程系数由跨度（这个短接输入转换和内部 V_{ref} 节点转换）决定。自校准不是可以通过将适当数值（0, 0, 1）写入控制寄存器的 MD2, MD1, MD0 位来实现。在这种校准模式下，短接的输入端节点首先接通调节器，并且此时将进行变换；然后， V_{ref} 节点介入，另一个变换将开始进行。当校准完成后，校准系数将更新，滤波器也将重新接受模拟输入端的电压，（非 DRDY）输出变成低电平。重视自校准过程充分重视管脚阵列的增益。

在自校准模式下，双极模式的输入范围和上面描述的几乎相同。在这里，AD7710 需要对两点进行校准。这两点分别是半量程和阳极满量程点。

第二十页

系统校准

系统校准允许 AD7710 补偿系统增益和补偿误差，而且还可以减少它本身的内部误差。系统校准模式的斜率参数和自校准模式的一样，只是系统校准的电压值由芯片的 A_{IN} 引脚输入（零量程点和满量程点）。系统校准分为两步。零量程点必须首先出现在变换器。在进行校准之前，零量程点必须写进变换器而且必须保持稳定。将（0, 1, 0）写进控制寄存器的 MD2, MD1, MD0，可以启动系统校准模式。当这一步完成时，（非 DRDY）将变成低电平。在零量程点经过校准后，将进行满量程校准，接下来再次将（0, 1, 0）写进控制寄存器的 MD2, MD1, MD0，系统将启动校准的第二步。（非 DRDY）在第二步的末端降为低电平表明系统校准完成。在单极模式下，系统校准在转换的两个终端执行；在双极模式下，它是在中间量程和阳极满量程之间执行的。

它的另一个特点是它是两步系统校准。当系统校准完成后，还需要进行额外的补偿或增益校

准来调整零参考电源点或系统增益。在系统校准的第一步也能完成（通过将 0, 1, 0 分别写进 MD2, MD1, MD0）。通过在系统校准过程设定值的可以调整零量程或补偿点，但是不能改变斜率。

系统校准也可用于取出误差（通过模拟输入端的反混淆滤波器）。在前端加上一个简单的 R, C 反混淆滤波器可以减少模拟输入端的增益误差，但是系统校准也可用于消除这种误差。

系统补偿校准

系统补偿校准在系统校准和自校准下是不同的。在这种情况下，系统的零量程点出现在转换器的 AIN 引脚。将 1, 0, 0 写进控制寄存器的 MD2, MD1, MD0 位，可以启动系统补偿校准。系统零量程系数由提供给 AIN 脚的转换电压决定，而满量程系数由 AIN 和 Vref 的变换范围决定的。校准过程中，应该向 AIN 脚输入零量程点。这是一步校准（当测量程序完成后，校准在（非 DRDY）的下降沿完成）。在单极模式下，系统补偿校准在两个转换终端执行；在双极模式下，它在中间量程和阳极满量程之间执行。

背景校准

AD7710 提供背景校准模式，在芯片进行转换过程中，它可以不间断的进行校准。在背景校准模式中，校准点将采用同样的电压（象自校准模式中一样，例如将输入端和 Vref 短接）。将控制寄存器中的 MD2, MD1, MD0 位写入 1, 0, 1 可以进入背景模式。当数据载入控制寄存器时，背景校准将降低 AD7710 输出数据的速率。它的优势是芯片能持续的运行校准程序而且能够自动更新校准系数。因此，温度漂移、电源灵敏度、时间漂移（满量程和零量程）的影响都能自动校准。当校准模式打开后，芯片将一直处于背景校准模式，知道控制寄存器的 MD2、MD1 和 MD0 改变了。在背景校准模式下，AD7710 的第一个结果是不正确的，因为满量程校准还没有运行。

表 6 列出了几种校准模式和它们的校准点。表中还列出了它们的持续时间。

Table VI. Calibration Truth Table

Cal Type	MD2, MD1, MD0	Zero-Scale Cal	Full-Scale Cal	Sequence	Duration
Self-Cal	0, 0, 1	Shorted Inputs	V _{REF}	One Step	9 × 1/Output Rate
System Cal	0, 1, 0	AIN	-	Two Step	4 × 1/Output Rate
System Cal	0, 1, 1	-	AIN	Two Step	4 × 1/Output Rate
System Offset Cal	1, 0, 0	AIN	V _{REF}	One Step	9 × 1/Output Rate
Background Cal	1, 0, 1	Shorted Inputs	V _{REF}	One Step	6 × 1/Output Rate

第十九页

跨度和补偿限制

只要系统运行了校准模式，那么跨度和补偿就受到一定限制。输入跨度的范围（在单极和双极模式下）的最低值为 $0.8 \times V_{ref}/\text{增益}$ ，最高值为 $2.1 V_{ref}/\text{增益}$ 。

补偿范围在单极模式下和双极模式下是不同的。补偿范围受到一定要求（阳极满量程校准模式下范围是 $\leq 1.05 \times V_{ref}/\text{增益}$ ）的限制。因此，补偿范围加上跨度范围后，它们的范围是不能超过 $1.05 \times V_{ref}/\text{增益}$ 。如果跨度为它的最小值（ $0.8 \times V_{ref}/\text{增益}$ ），那么补偿的最大值为 $0.25 \times V_{ref}/\text{增益}$ 。

在双极模式下，系统补偿校准范围同样受到跨度范围的限制。在双极模式下，转换器的跨度范围与用于零量程点的电压等距离，这就是说补偿范围加上跨度范围的一半不能超过 $1.05 \times V_{ref}/\text{增益}$ 。如果跨度设置为 $2 \times V_{ref}/\text{增益}$ ，补偿范围不能超出 $\pm (0.05 \times V_{ref}/\text{增益})$ （在转换功能的终点不超出 $\pm (1.05 \times V_{ref}/\text{增益})$ 的限制）。如果跨度范围设置为最低值 $\pm (0.4 \times V_{ref}/\text{增益})$ ，补偿的最大允许范围为 $\pm (0.65 \times V_{ref}/\text{增益})$ 。

上电和校准

在上电时，AD7710 执行了内部复位，复位可将控制寄存器的内容设置成预先设定的值。然而，为了确保芯片能进行正确的校准，在上电后必须运行校准程序。

AD7710 的能量消耗和温度漂移非常低，在校准执行之前不需预热。但是，如果使用了外部参考电源，在校准执行之前参考电源必须稳定。

漂移

AD7710 使用换流器移动补偿技术尽可能较少输入补偿漂移。电荷注入模拟开关和采样转换中的数据转换漏电流是转换器中补偿电压漂移的主要来源。转换器中的增益漂移主要是因为温度变化导致内部电容发生变化。它不受漏电流的影响。

通过对变换器重校准或运行芯片中的背景模式，可以消除由于补偿漂移或增益漂移产生的误差。使用系统校准模式也能够减少信号调节电路中的补偿和增益误差。积分和差分线性误差不会由于温度变化而受到明显的影响。

供电电源和接地

因为模拟输入和参考电源输入都是差分输入的，在模拟调节器的大部分电压都是共模电压。 V_{bias} 为流入调节器的大部分模拟电流提供反馈回路。因此 V_{bias} 端口应该有一个地点组驱动（这样可以减少误差，因为连接线上可能由充电电阻）。当内部参考电源作为芯片的参考电源时，相对参考电源来说 $AGND$ 是地回路。

模拟和数字电源（提供给 AD7710）是相互独立的，而且分别有引脚。数字滤波器将在一定带宽内滤除电源中的噪声（除了调节器采样频率的整数倍的频率）。在正常运行时，数字电源（ DV_{DD} ）电压不能比模拟电源（ AV_{DD} ）正极高 0.3V。如果模拟和数字电源分别使用，推荐的连接图如图九。在图中， $AV_{DD}=+5V$ ， $DV_{DD}=+5V$ ， AV_{DD} 和 DV_{DD} 最好都等于 +5V，虽然如图九中它们是分开的。模拟电压通常为 +5V。

还有一点值得注意，在向 REF IN，AIN 或逻辑输入脚输入信号之前必须先向 AD7710 供电（这样作是为了避免有过大的电流流过引脚）。如果分离的电源用在了 AD7710 和系统的数字电路中，AD7710 应该先上电。如果没办法做到，在逻辑输入的引脚应该串联上限制电流的电阻。

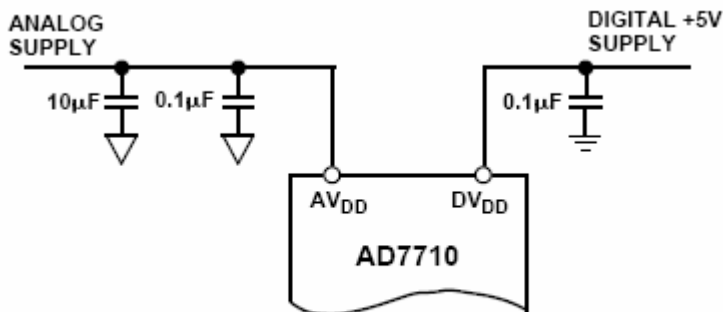


Figure 9. Recommended Decoupling Scheme

数字接口

AD7710 的串联通信口应用很广，它可以很容易的同工业标准微处理器、微控制器和数字信号处理器连接。可以从 AD7710 的输出寄存器、控制寄存器、校准寄存器中读取数据。可以将数据写进控制寄存器和校准寄存器。

它可以应用于两种模式，它可最优化为不同的接口电路，这些接口电路可以为 AD7710 提供总时钟（提供串联时钟）或作为从属时钟（向 AD7710 提供外部串联时钟）。这两种模式（自时钟模式、外部时钟模式）都将在后面详细介绍。

自时钟模式：

如果将 AD7710 的 MODE 脚置为高电平，它将进入自时钟模式。在这种模式下，由 AD7710 提供的串联时钟信号用于向 AD7710 输入和输出数据。自时钟模式可以和处理机（它允许外

部设备从它们的串口输入时钟，它包括数字信号处理器和微控制器如：68HC11、68HC05）结合使用。它能很方便的连接串口并联转换电路以进行并联数据通信。它能够无需解码，很方便的与 74XX299 通用漂移寄存器连接。在漂移寄存器中，串联时钟线需要接一个下拉电阻而不是上拉电阻（如图 10、11 所示）。

第二十页

读操作：

可以从寄存器、控制寄存器或校准寄存器中读数据。A0 确定是从控制寄存器读数还是从输出/校准寄存器读数。在进行读操作时，A0 必须保持有效。A0=1，可对输出寄存器或校准寄存器进行读操作。A0=0，可对控制寄存器进行读操作。

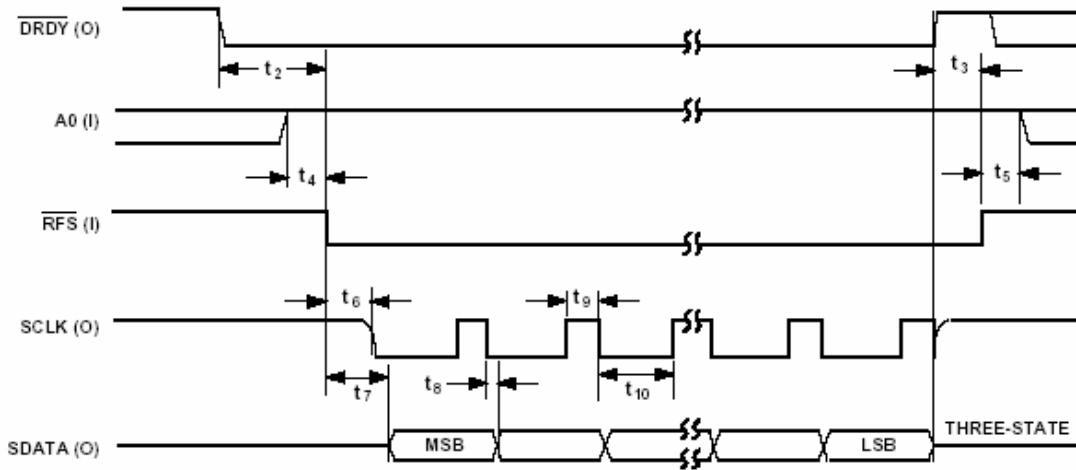
(/DRDY) 的作用取决于芯片输出数据的更新速率和输出寄存器输出数据的速率。当输出寄存器中有新的数据可输出时，(/DRDY) 变成低电平。当输出寄存器中的数据（16 位或 24 位）输出完毕后，(/DRDY) 将复位为高电平。如果数据没有从输出寄存器读出，(/DRDY) 将一直保持低电平。输出寄存器将不断的更新数据，而 (/DRDY) 不会输出确认信号。在这种情况下，读操作所读取得数据是输出寄存器中最新的数据，如果新的数据已经到齐，并且希望能保存在输出寄存器，而此时的输出寄存器没有将数据输出完毕，(/DRDY) 将不会输出确认信号，这些新的数据将会丢失。在对控制寄存器和校准寄存器进行读操作时，(/DRDY) 不会受到影响。

只有当 (/DRDY) 为低电平时，输出数据寄存器才能输出数据。如果当 (/DRDY) 为高电平，而此时的 (/RFS) 变成低电平，仍然无法传送数据。在对控制寄存器或校准寄存器进行读操作时，(/DRDY) 不能施加任何影响。

图十是 AD7710 进行读操作的时序图(自时钟模式)

自时钟模式。这是对 AD7710 输出寄存器输出数据进行的读操作。对控制寄存器和校准寄存器进行读操作是一样的，只是在这时候 (/DRDY) 将不起任何作用。在对控制寄存器和校准寄存器进行读操作时，受输出数据速率影响，(/DRDY) 可在任何阶段变成低电平，这对控制寄存器和校准寄存器的读操作周期不会有任何影响。在对控制寄存器和校准寄存器进行读操作时，必须同时输出 24 为数据。

从时序图中可以看出，在 SCLK 的输出端有一个上拉电阻。在 (/DRDY) 转为低电平后，(/RFS) 的输入端也变成了低电平。(/RFS) 转为低电平，将启动 AD7710 的串行时钟，同时使最高位与串口接通。数据将从高到低串联输出（在时钟的上升沿）。数据将在时钟的上升沿传送。数据传送完后，LSB 可将 SCLK 置为高电平。在 SCLK 的最后一个下降沿时，(/DRDY) 转为高电平。将 (/DRDY) 转为高电平，关闭 SCLK 和 SDATA 输出端。这意味着 LSB（最低位）保持的时间是最短的。



图十 自时钟模式，读操作输出数据

第二十一页

写操作:

可以对控制寄存器和校准寄存器进行写操作。在任何情况下，写操作都不会受（非 DRDY）的影响，同时写操作也不对（非 DRDY）的状态有任何影响。对控制寄存器和校准寄存器进行写操作时，写入的数据必须是 24 位的。

图十一是 AD7710 写操作的时序图。A0 决定是对控制寄存器还是对校准寄存器进行写操作。在对寄存器进行写操作时，A0 必须一直有效。（/TFS）的下降沿启动 SCLK 输出。在 SCLK 的上升沿，输入的数据必须是有效的。数据是在 SCLK 的上升沿写入的（顺序是从最高位到最低位），在 SCLK 最后一个高电平处，最后一位数据写入寄存器。因此在这个高电平的下降沿，SCLK 的输出端将被关闭。（从图十一的时序图中可看出在 SCLK 的输出端有一个上拉电阻）

外时钟模式:

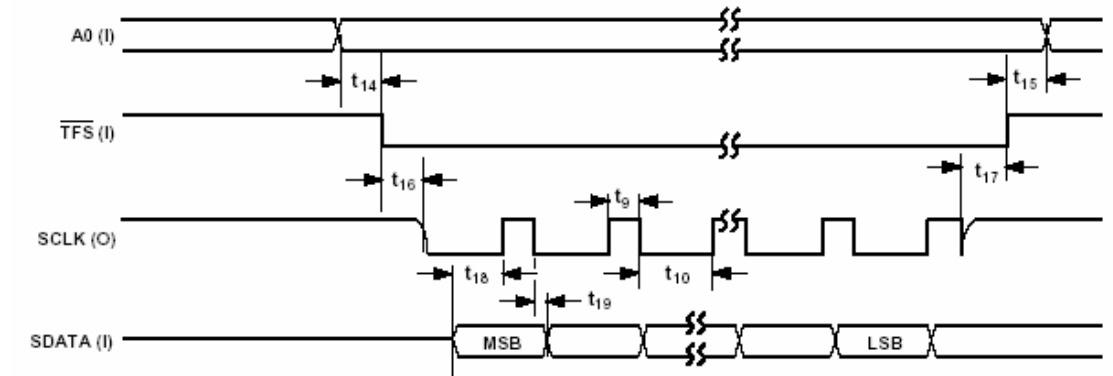
从 MODE 脚输入低电平，AD7710 将进入外部时钟模式。在这一模式中，AD7710 的 SCLK 成为输入端，外部时钟通过串连 SCLK 脚向芯片提供时钟。在外部时钟模式下，可以进行同步数据传送（可用于微处理器如：80C51、87C51、68HC11、68HC05 和数字信号处理器）。

读操作:

和自时钟模式一样，可以对输出寄存器、控制寄存器和校准寄存器进行读操作。A0 决定是对控制寄存器还是对输出/校准寄存器进行读操作。在对它们进行读操作时，A0 必须一直有效。当 A0=1，将对输出寄存器或校准寄存器进行读操作，当 A0=0，将对控制寄存器中进行读操作。

（/DRDY）的作用取决于芯片输出数据的更新速率和输出寄存器输出数据的速率。当在输出寄存器中的数据可获得时，（/DRDY）变成低电平。当数据（24 位或 16 位）全部读出时，（/DRDY）复位成高电平。如果数据没有完全读出，（非 DRDY）将一直保持低电平。此时输出寄存器将以输出数据的速率更新数据，但是（/DRDY）不会输出确认信号。在这种情况下，读出的数据将是输出寄存器中的最新数据。如果新的数据已经到齐，并且希望能保存在输出寄存器，而此时的输出寄存器没有将数据输出完毕，（/DRDY）将不会输出确认信号，这些数据将会丢失。在对控制寄存器和校准寄存器进行读操作时，（/DRDY）不会受到影响。

当 ($\overline{\text{DRDY}}$) 为低电平时, 只能从输出寄存器读取数据。如果在 ($\overline{\text{DRDY}}$) 为高电平时 ($\overline{\text{RFS}}$) 变成低电平, 数据无法传送。在对控制寄存器和校准寄存器进行读操作时, ($\overline{\text{DRDY}}$) 不会施加任何影响。



图十一 自时钟模式, 控制寄存器/校准寄存器的读操作

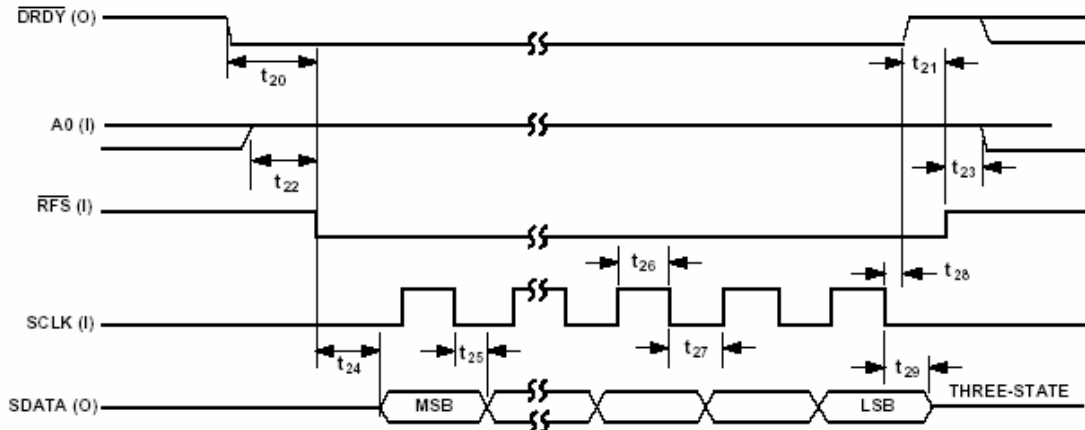
第二十二页

图十二 A 和图十二 B 是 AD7710 外部时钟模式的时序图。图十二 A 表现的是 AD7710 在一次读操作读取所有数据的时序图。图十二 B 表现的是 AD7710 进行多次读操作的时序图。这两个读操作都以输出寄存器为媒介。对控制寄存器和校准寄存器进行读操作是一样的, 只是在这时候 ($\overline{\text{DRDY}}$) 将不起任何作用。在对控制寄存器和校准寄存器进行读操作时, 受输出数据更新速率影响, ($\overline{\text{DRDY}}$) 可在任何阶段变成低电平, 这对控制寄存器和校准寄存器的读操作周期不会有任何影响。在对控制寄存器和校准寄存器进行读操作时, 必须同时输出 24 位数据。

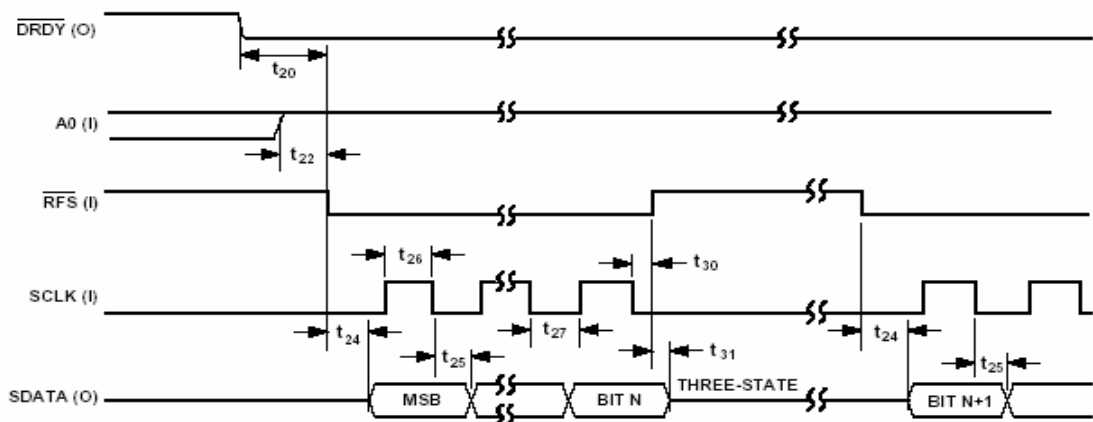
图十二 A 表示的是 AD7710 的一次读操作, 在数据传输中, ($\overline{\text{RFS}}$) 必须保持低电平。当 ($\overline{\text{DRDY}}$) 变成低电平时, ($\overline{\text{RFS}}$) 也将变成低电平。在读写操作时, SCLK 必须是低电平。当 ($\overline{\text{RFS}}$) 变成低电平时, 将串口与 MSB (最高位) 连接起来。所有的数据将从高到低传送, 在最后一位数据输出后, 此时时钟高电平为最后一个脉冲, 当转为低电平时, 将使 ($\overline{\text{DRDY}}$) 变成高电平, 它的上升沿这将关闭串口。

图十二 B 表示的是在数据传输过程中, ($\overline{\text{RFS}}$) 变高又变低时输出数据的时序图。时间参数和操作过程和图十二 A 几乎相同, 不过图十二 B 还花了一定时间介绍 ($\overline{\text{RFS}}$) 变高又变低的过程。

在 SCLK 转为低电平后, ($\overline{\text{RFS}}$) 将回到高电平。在 ($\overline{\text{RFS}}$) 的上升沿, SDATA 的输出端关闭。在读操作过程中不管 ($\overline{\text{RFS}}$) 的状态变化多少次, ($\overline{\text{DRDY}}$) 都一直保持低电平, 知道读操作全部完成。受 SCLK 的下降沿和 ($\overline{\text{RFS}}$) 的上升沿之间的时间的的影响, 下一个数据字将在 ($\overline{\text{RFS}}$) 变高电平之前进入数据总线。当 ($\overline{\text{RFS}}$) 变成低电平, SDATA 将打开。当整个读操作完成后, ($\overline{\text{DRDY}}$) 将变成高电平, 关闭 SDATA。



图十二 A 外部时钟模式，读操作输出数据



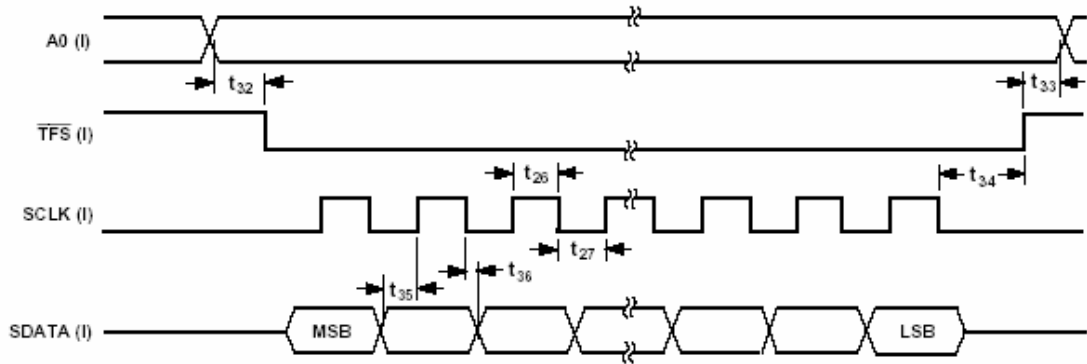
图十二 B 外部时钟模式，读操作输出数据（在读操作过程中（/RFS）为高电平）
写操作：（第二十三页）

可以对控制寄存器和校准寄存器进行写操作。再写操作过程中，不会对（/DRDY）有任何影响，同样，（/DRDY）也不会影响写操作。写操作中，输入的数据必须是 24 位的。

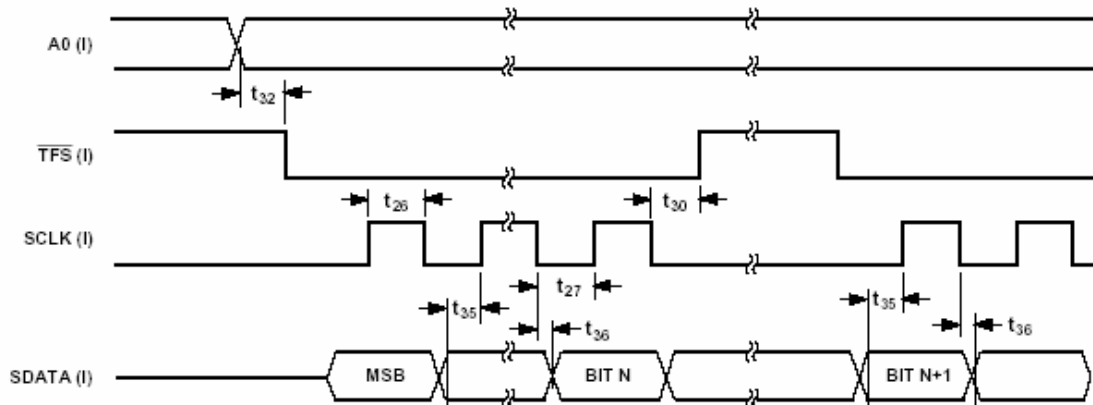
图十三 A 表现的是 AD7710 的一次写操作（在操作过程中，（/TFS）为低电平）。A0 决定是对控制寄存器还是对校准寄存器进行写操作。在写操作的过程中，A0 必须一直保持有效。和前面所说的一样，在进行读操作和写操作时，串行时钟线必须为低电平。在外部 SCLK 为高电平时需要输入 AD7710 的数据必须有效。数据是从高位到低位传输的。

图十三 B 表现的是 AD7710 的写操作，（/TFS）变成高电平（在写操作中），然后在变成低电平（在写其他的数据中）。时间参数和操作过程同图十三 A 的几乎相同，不过在图十三 B 中显示了在传输多个数据字时（/TFS）的状态。

在 SCLK 上升沿，数据输入 AD7710。当 SCLK 为低电平时，（/TFS）回到高电平。当（/TFS）转回低电平后，数据（将要写进 AD7710）将在 SCLK 为高电平时写进 AD7710。在 SCLK 的最后一个高电平时，最低位（LSB）写进 AD7710。



图十三 A 外部时钟模式，控制/校准寄存器写操作



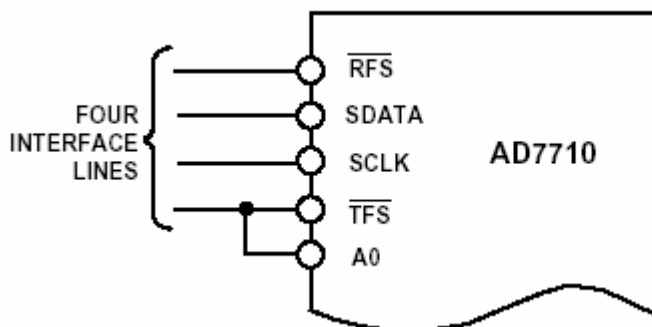
图十三 B 外部时钟模式，控制/校准寄存器写操作
(在写操作过程中 (/TFS) 转为高电平)

第二十四页

外部时钟模式接口简介

在许多应用中，用户可能不需要对校准寄存器进行写操作。在这种情况下，AD7710 的外部时钟模式的串联接口可得到简化：如果将 A0 和 (/TFS) 直接相连（见图十四）。这意味着，进行写操作时，数据将写进控制寄存器（因为 (/TFS) = 0 时，A0 = 0）；进行读操作时，输出的数据或者来自于控制寄存器，或者来自于校准寄存器（因为 (/RFS) = 0 时，A0 = 1）。有必要提出，如果使用这种模式，用户将不能从控制寄存器中读取数据。

使接口电路得以简化的另一种方法是通过改变 (/RFS) 来控制 (/TFS)。然而这种方式也有不利的一面（有可能导致写错误）。



图十四 将 (/TFS) 与 A0 连接以简化接口电路
微型计算机/微处理器接口技术

AD7710 接口电路的适应性很好,这使得它可以很容易的同大部分微型计算机/微处理机连接。图十五是程序流程图,该程序可实现如下功能:将 AD7710 中的数据读入微型计算机。图十六的流程图表现的是将数据写入 AD7710。图十七、十八、十九是一些典型的接口电路。

图十五表现的是对 AD7710 的输出寄存器进行连续的读操作。在例子中,(/DRDY) 不断受到查询。(取决于微处理机的结构),当 (/DRDY) 得到中断信号后,它将产生自动一个中断(此时不会受到查询)。对一个串口缓冲的读操作可能由一次变成三次读操作(将 24 位数据读入 8 位寄存器)。对控制寄存器/校准寄存器进行的读操作同上面的几乎一样,不过,这时候 (/DRDY) 的状态可以忽略。在对控制寄存器进行读操作时,如果 (/RFS) 转为低电平,那么 (/DRDY) 也将转为低电平。

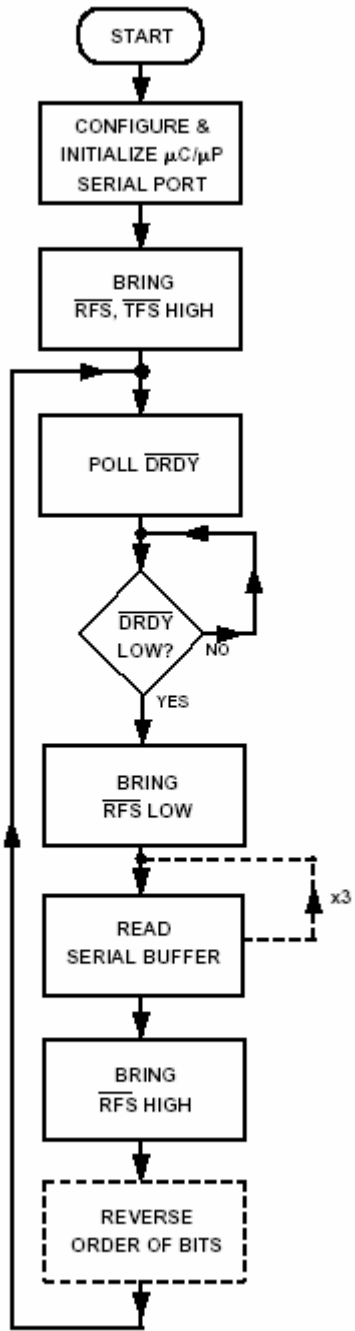
流程图对数据的高位和低位(数据已经从读入或来自串口)的转换进行了描述。这要看微处理器到底是希望数据从高位到低位排列还是希望从低位到高位排列。AD7710 是高位先输出。

图十六的流程图可实现如下功能:对 AD7710 的控制寄存器/校准寄存器进行简单的 24 位写操作。在该操作过程中,数据先从数据存储器传进累加器,然后才写入串行缓冲区。一些微处理机允许数据从数据存储器直接写进串行缓冲区。将数据从累加器写入串连缓冲区通常需要两到三个写操作(通常这要看串连缓冲区的大小)。

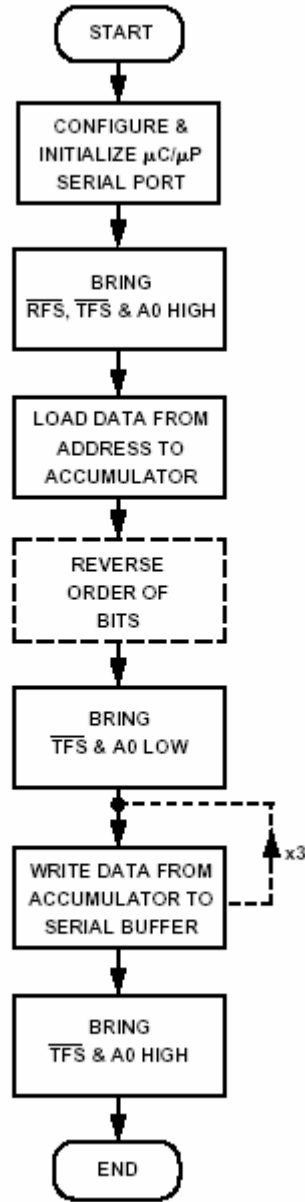
图中还表现了在将数据写进串连缓冲区之前如何将数据为进行调整(从高位到低位或从低位到高位)。这要看微处理机输出数据的第一位是最高位还是最低位。AD7710 希望数据流的第一位是最高位。在逐位读或写数据时,每一位数据都需要调整。

图十五和图十六在下一页

<http://www.elecfans.com>



图十五 对 AD7710 进行读操作的流程图

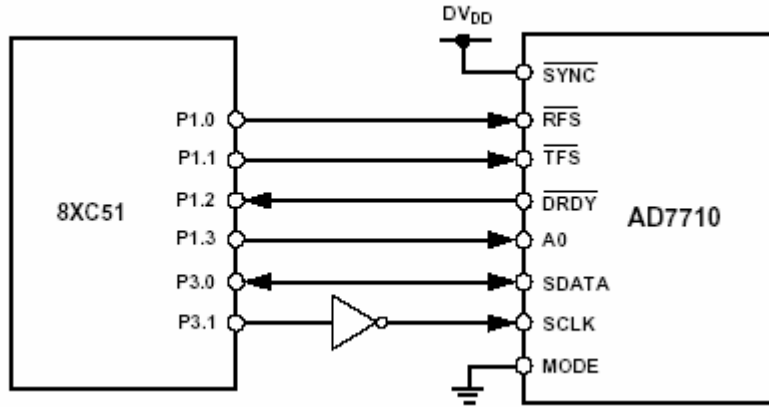


图十六 对 AD7710 进行写操作的流程图

://www.e1

AD7710 和 8XC51 微处理器的接口电路

图十七是 AD7710 和 8XC51 微处理器的接口电路。AD7710 配置为外部时钟模式，8XC51 是 Mode 0 串行接口模式。(/DRDY) 与 P1.2 脚相连，这样，8XC51 可随时对 AD7710 进行监控。如果 8XC51 需要获得中断信号，可将 (/DRDY) 和 (/INT1) 相连。连接方式如图十七。



图十七 AD7710 和 8XC51 接口电路

表 7 是 8XC51 的一些典型的程序，该程序可实现对 AD7710 的输出寄存器进行简单的 24 位读操作。表 8 中的程序可实现对 AD7710 进行写操作（将数据写入控制寄存器）。在写操作过程中 8XC51 首先输出的是最低位数据，而 AD7710 希望首先受到最高为数据，因此，在将数据写入输出串行寄存器前，8XC51 需要先将数据的各位进行调整。同样，在读操作中，AD7710 输出的第一位为最高位，而 8XC51 希望收到的第一位数据为最低位，因此，在将数据写进串行缓冲区之前，需要先将数据写进累加器（数据的位置将在其中进行调整）。

<http://www.21ic.com/>

表 7 对 AD7710 进行读操作的 8XC51 程序

```

MOV  SCON,#00010001B    ;Configure 8051 for MODE 0 Operation
MOV  IE,#00010000B      ;Disable All Interrupts
SETB 90H                 ;Set P1.0, Used as RFS
SETB 91H                 ;Set P1.1, Used as TFS
SETB 93H                 ;Set P1.3, Used as A0
MOV  R1,#003H           ;Sets Number of Bytes to Be Read in A Read
                               ;Operation
MOV  R0,#030H           ; Start Address for Where Bytes Will Be Loaded
MOV  R6,#004H           ; Use P1.2 as DRDY
WAIT:
NOP                       ;
MOV  A,P1                ; Read Port 1
ANL  A,R6                ; Mask Out All Bits Except DRDY
JZ   READ                ; If Zero Read
SJMP WAIT                ; Otherwise Keep Polling
READ:
CLR  90H                 ; Bring RFS Low
CLR  98H                 ; Clear Receive Flag
POLL:
JB   98H, READ1          ; Tests Receive Interrupt Flag
SJMP POLL
READ 1:
MOV  A,SBUF              ; Read Buffer
RLC  A                   ; Rearrange Data
MOV  B.0,C               ; Reverse Order of Bits
RLC  A                   ;MOV B.1,C; RLC A; MOV B.2,C;
RLC  A                   ;MOV B.3,C; RLC A; MOV B.4,C;
RLC  A                   ;MOV B.5,C; RLC A; MOV B.6,C;
RLC  A                   ;MOV B.7,C;
MOV  A,B                 ;
MOV  @R0,A               ; Write Data to Memory
INC  R0                  ; Increment Memory Location
DEC  R1                  ; Decrement Byte Counter
MOV  A,R1
JZ   END                 ; Jump if Zero
JMP  WAIT                ; Fetch Next Byte
END:
SETB 90H                 ; Bring (非RFS) High
FIN:
SJMP FIN

```

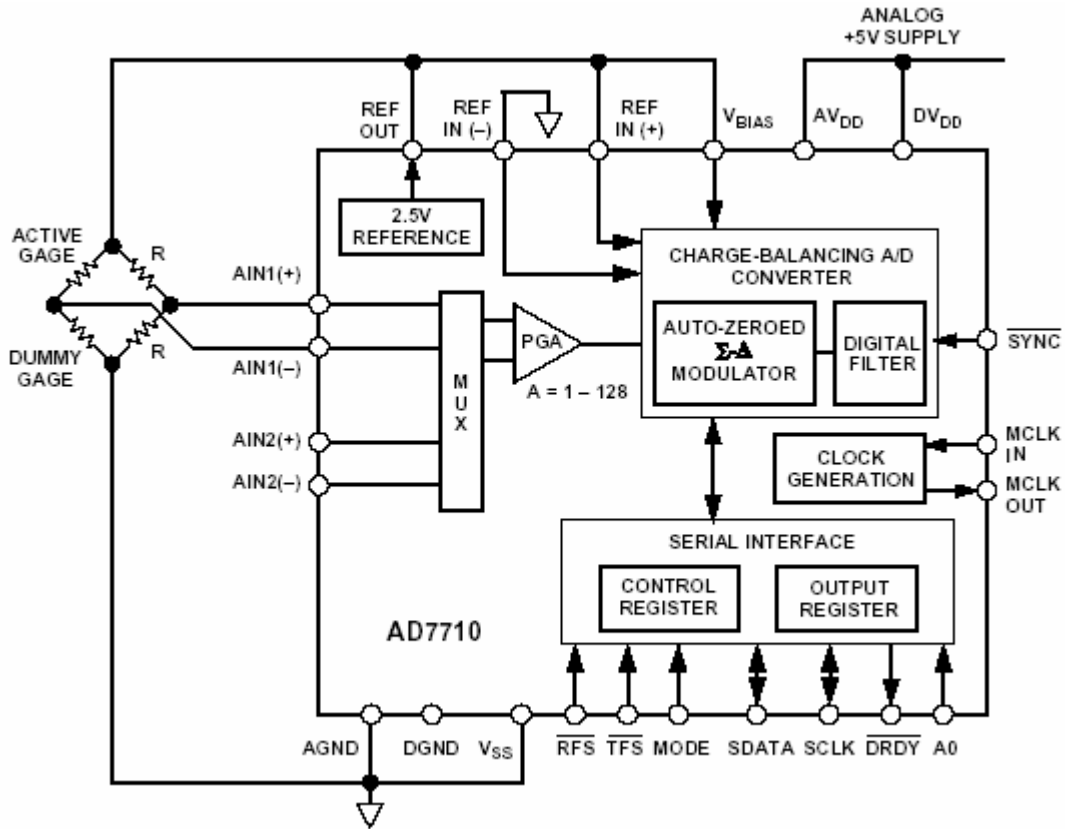

AD7710 与 68HC11 的接口电路

AD7710 与 ADSP-2105 的接口电路

应用：

图二十为电阻应变计与 AD7710 模拟输入通道直接相连的接口电路。AD7710 的差分输入端直接和电阻应变计的桥网络相连。如图所示，基准电压源不仅为 AD7710 提供参考电压，同时还为桥网络提供电压。图二十一为另外一种方案：模拟正电压源给桥网络提供电压，基准电压源的两端与参考电阻的两端相连，该电阻的同时与桥网络串联。在这种情况下，参考电阻的阻值等于基准电压源和所需要的激励电流的比值。

PGA 允许模拟输入电压最小范围为 20mV（满量程）。芯片的差分输入端的模拟输入电压范围为：输入电压的绝对值在 V_{SS} 和 AV_{DD} 之内。



图二十 AD7710 在电阻应变计中的应用

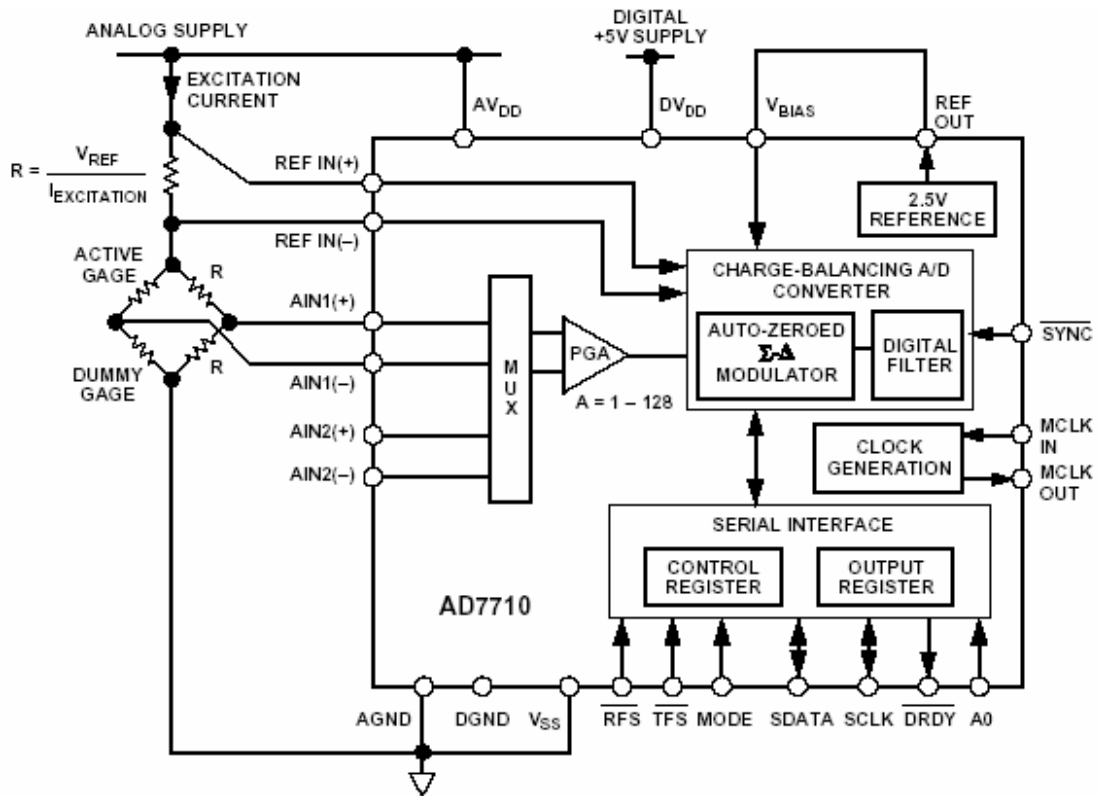


Figure 21. Alternate Scheme for Generating AD7710 Reference Voltage

<http://www.elecc>